

---

## 4. 半導体デバイスの故障メカニズム

---

信頼性試験とは、実使用状態における故障の再現試験であり、この結果とあわせて故障メカニズムを明らかにすることが、実使用状態での製品の信頼度を把握する上で重要です。すなわち、故障メカニズムを明らかにすることで、故障発生に対するストレス（温度、湿度、電圧、電流など）の影響が確定でき、加速状態で実施している信頼性試験の結果から実使用状態での信頼度が推定できます。また、信頼性上の弱点を設計、製造面から改善し信頼性・品質の向上を図るとともに、お客様への使用上の注意点を明確にすることが可能になります。また、市場で不具合が生じた場合でも、その故障メカニズムを知ることにより、設計、製造面での是正的確かつ迅速に行うことができ、故障の再発防止につなげることが可能となります。

本章では、実際の故障について、主要な故障メカニズムについて説明します。

### 4.1 故障の分類

半導体デバイスの信頼性を扱う場合、統計的方法のほかに故障を物理的観点から取り扱う方法があります。これは故障物理と呼ばれ、故障の物理的性質を原子、分子レベルにまでさかのぼって解明し、故障のメカニズムを明らかにしようとするものです。半導体デバイスの故障モードは開放、短絡、劣化、その他に大別されますが、これらの故障モードと故障メカニズムの関係を故障に関連する要素ごとに整理すると表 4.1 のようになります。

#### 4. 半導体デバイスの故障メカニズム

表 4.1 各要素と故障メカニズム、モード

故障に関連する要素		故障メカニズム	故障モード	事例
拡散、接合	基板 拡散接合 アイソレーション	結晶欠陥、不純物折出、 ホトレジマスク不整合、 表面汚染	耐圧劣化、 短絡、 リーク電流大	
酸化膜	ゲート酸化膜 フィールド酸化膜	可動イオン、ピンホール、 界面準位、 TDDB、ホットキャリア	耐圧劣化、短絡、 リーク、 $h_{FE}$ 変動、 $V_{th}$ 変動	図 4.1
メタライゼーション	チップ内配線 コンタクト スルーホール	傷、ポイド、機械的損傷、 非オーミックコンタクト、 段切れ、接着強度不足、 厚さ不適當、腐食、 エレクトロマイグレーション、 ストレスマイグレーション	開放、 短絡、 抵抗増大	図 4.2
パッシベーション	表面保護膜 層間絶縁膜	ピンホール、クラック、 厚さ不均一、汚染、表面反転	耐圧劣化、短絡、 リーク電流大、 $h_{FE}$ 変動、 $V_{th}$ 変動、 雑音劣化	
ダイボンド	チップ・フレーム接続 部	チップ剥れ、 チップクラック	開放、短絡、 動作不安定、 熱抵抗増大	図 4.3
ワイヤボンド	ワイヤボンド接合部 ワイヤリード	ボンディング外れ、 ボンディング位置ずれ、 ボンディング下の損傷、 断線、線たるみ、 線間の接触	開放、 短絡、 抵抗増大	図 4.4 図 4.5
封止	樹脂 封入ガス	ポイド、未注入 水の侵入、剥離、表面汚れ 気密性、封入ガス不純、異物	開放、短絡、 リーク電流増大	図 4.6~7 図 4.8
入出力端子	静電気、サージ 過電圧、過電流	拡散接合破壊、酸化膜破壊、 メタライズ破壊	開放、短絡、 リーク電流増大	図 4.9
その他	$\alpha$ 線、高電界 ノイズ	電子・正孔対の生成、 表面反転	ソフトエラー、 リーク電流増大	

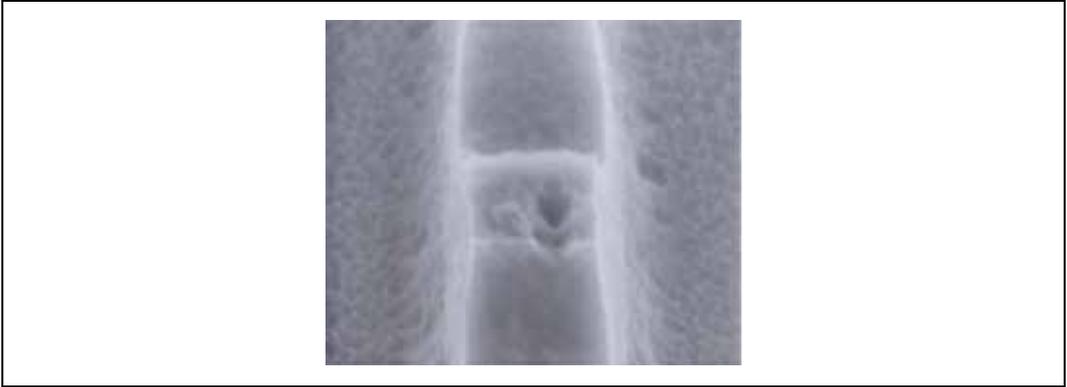


図 4.1 ゲートピンホール

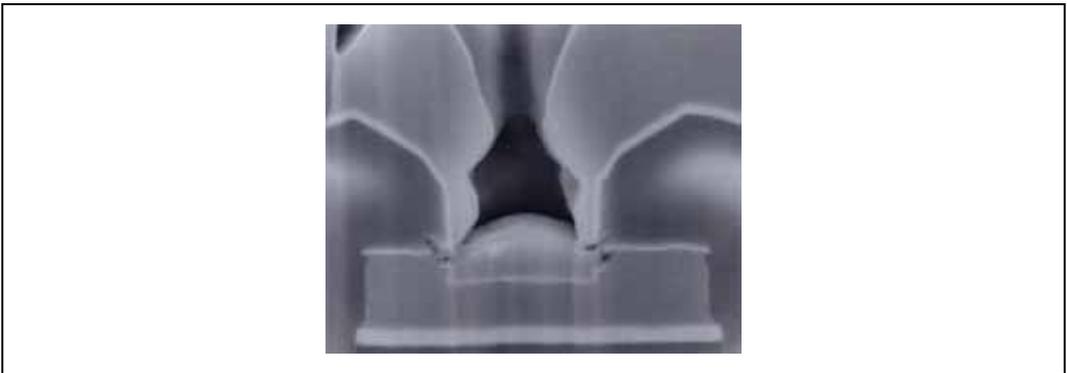


図 4.2 Al 配線のカバレッジ断線

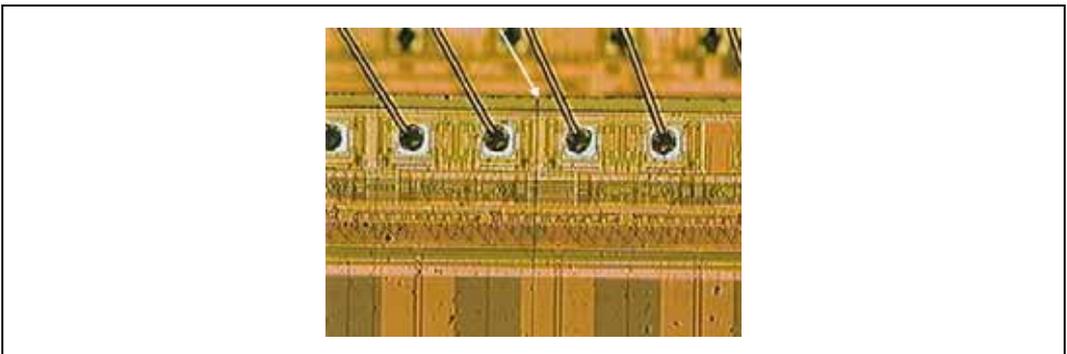


図 4.3 チップクラック

#### 4. 半導体デバイスの故障メカニズム

---

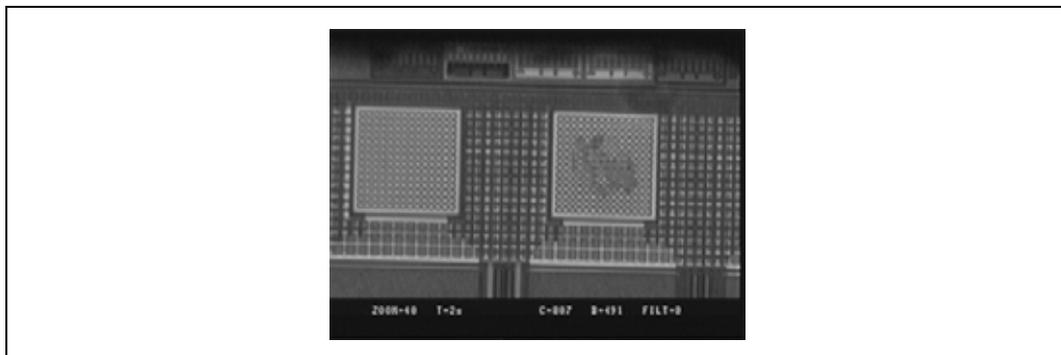


図 4.4 ボンディング下の損傷（チップ裏面観察）

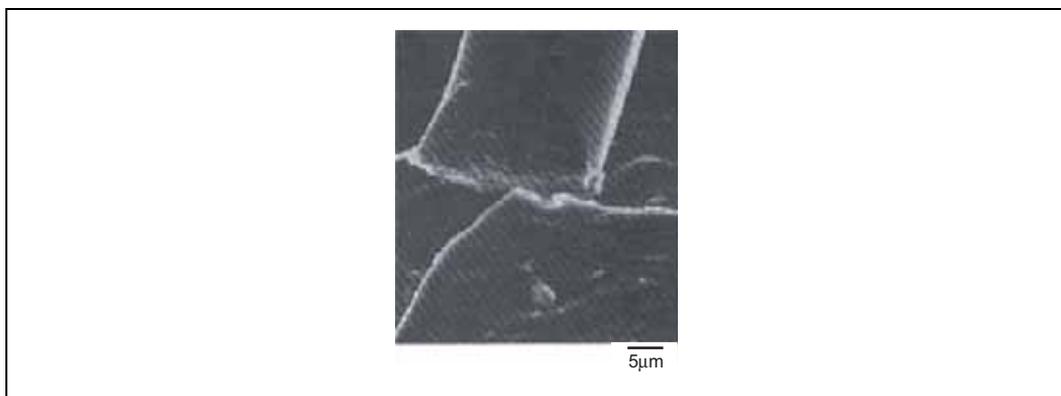


図 4.5 ワイヤの超音波疲労の破壊

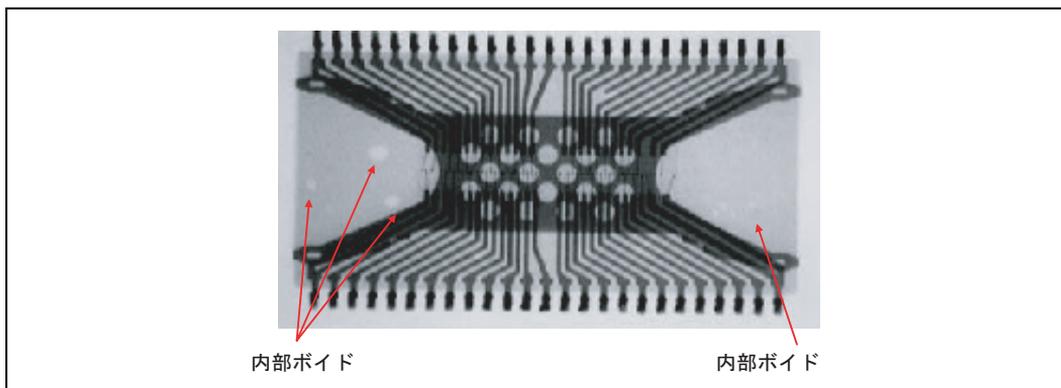


図 4.6 パッケージ内の内部ボイド

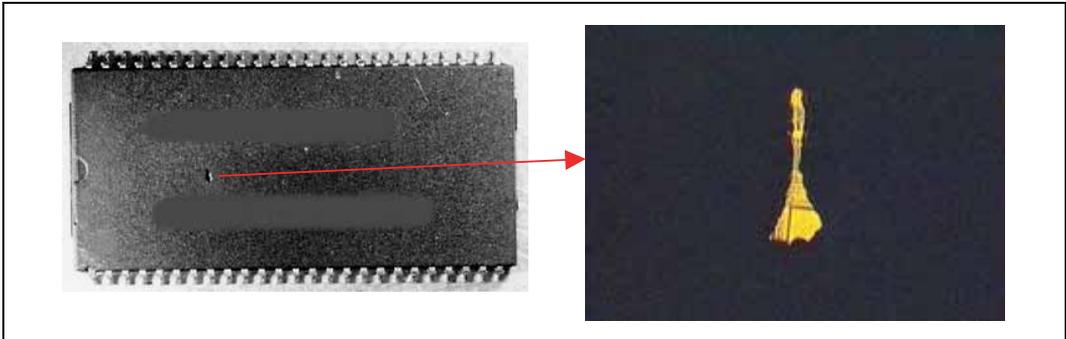


図 4.7 封止樹脂未注入

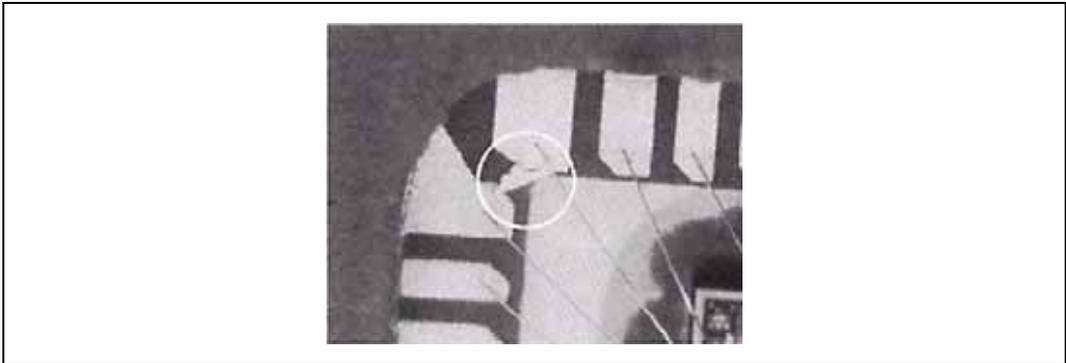


図 4.8 パッケージ内の導電性異物混入によるショート

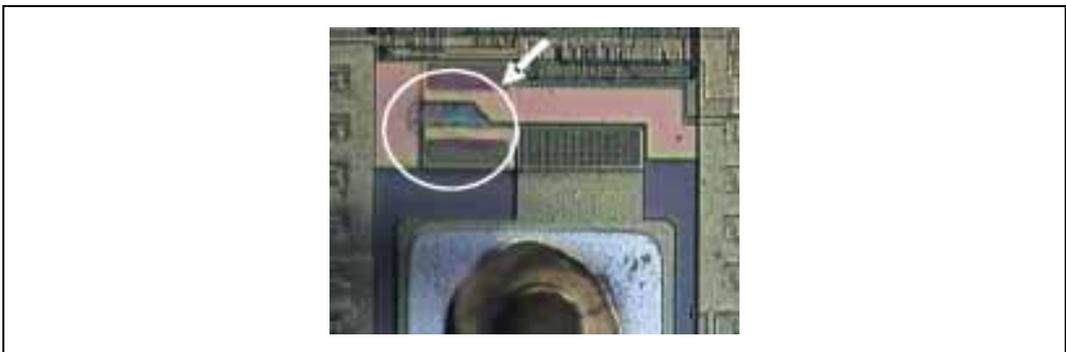


図 4.9 過電圧による端子破壊

## 4. 半導体デバイスの故障メカニズム

### 4.2 ウェハプロセス起因の故障メカニズム

微細加工プロセス技術の発展に伴い、半導体デバイスは高集積化の一途をたどっています。微細化に関しては、これまで基本的には表 4.2 に示すようなスケーリング則をベースとしていましたが、システム側からの要求や内部信号レベルの確保の観点から、スケーリング（電源電圧の低電圧化）されにくい傾向にあります。そのため、内部 MOS FET の電界や配線に流れる電流が大きくなるにつれて、MOS デバイスの信頼性が、以前にも増して重要になってきています。

表 4.2 スケーリング則<sup>(1)</sup>

パラメータ	定電界スケーリング
ゲート酸化膜厚	1/k
ゲート長	1/k
ゲート幅	1/k
接合の深さ	1/k
不純物濃度	k
電圧	1/k
電界	1
電流	1/k

代表的なウェハプロセス起因の故障メカニズムを表 4.3 に示します。次項より、各故障メカニズムについて説明します。

表 4.3 ウェハプロセス起因の主な故障メカニズム

故障メカニズム	活性化エネルギー(eV)
酸化膜経時破壊(TDDB)	0.5~0.8
ホットキャリア	—
NBTI	1 程度
Al のエレクトロマイグレーション	0.6~1.0
Al のストレスマイグレーション	1 程度
ソフトエラー	—
不揮発性メモリの揮発不良	1 以上

#### 4.2.1 酸化膜（絶縁膜）経時破壊<sup>(2)(3)</sup>

MOS LSI のゲート酸化膜は、集積度の向上に伴い薄膜化の傾向にあり、電源電圧も低電圧化が図られてきています。しかし、微細化の進行と性能の向上のため、ゲート酸化膜には従来に比べ絶対的に高い電界が印加されることになり、先端プロセス製品においては、4~5MV/cm と電界強度が大きくなり、酸化膜の信頼性が重要になってきています。

酸化膜の絶縁破壊強度は、10MV/cm 以上と高電界ですが、実使用状態等のような低電界においても時間の経過とともに破壊が起こる現象を TDDB（Time Dependant Dielectric Breakdown）と呼び、この酸化膜（絶縁膜）の経時

破壊現象が重要な故障原因の一つとなっています。

#### (1) 故障現象

一般に TDDB 現象を評価する場合、製品では加速評価が難しいため TEG (Test Element Group) を用います。この TDDB 試験結果の一例を図 4.10、図 4.11 に示します。破壊時間は電界強度が大きくなるか、温度が高くなること短くなることが分かります。経験的に TDDB の故障モデル式は下記の式が、よく用いられます。

$$\text{MTTF} = A \times 10^{-\beta E} \times e^{Ea/(kT)} \quad (4-2-1)$$

ここで

MTTF：平均故障時間 (h)

A：定数

Ea：活性化エネルギー (eV)

E：電界強度 (MV/cm)

$\beta$ ：電界強度係数 (cm/MV)

k：ボルツマン定数

T：絶対温度 (° K)

TDDB の加速性は、実際には電界が小さくなるほど、図 4.12 に示すとおり活性化エネルギー (Ea) が大きくなると言われます<sup>(4)(5)</sup>。高ストレス下で得られた Ea を用いると、式 (4-2-1) を使った市場での予測は難しくなります。弊社では、それぞれのプロセスに対応した TEG 評価から得られた値を用いて、活性化エネルギーは、高電界下での評価にて 0.5~0.8eV、電界強度係数  $\beta$  (cm/MV) は 1~2 程度の値となります。

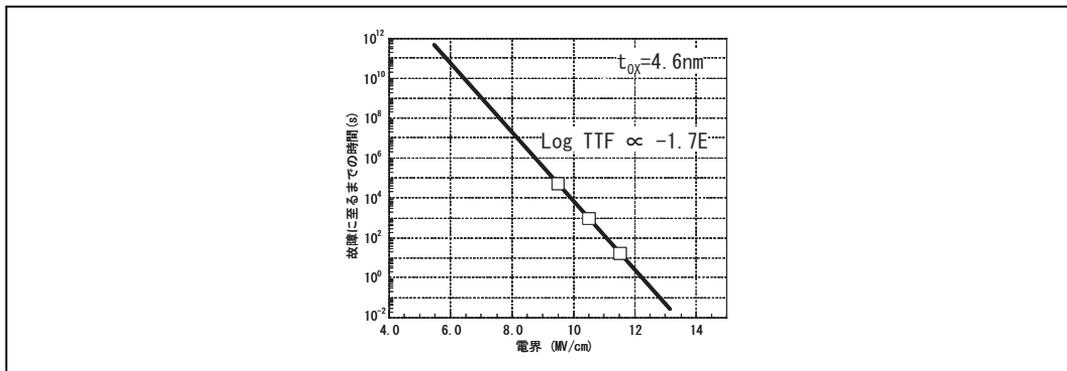


図 4.10 TDDB の電界依存性

4. 半導体デバイスの故障メカニズム

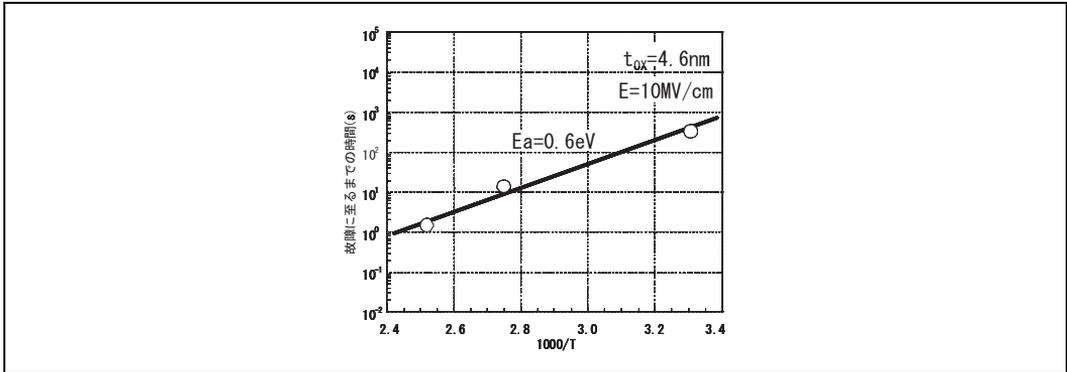


図 4.11 TDDF の温度依存

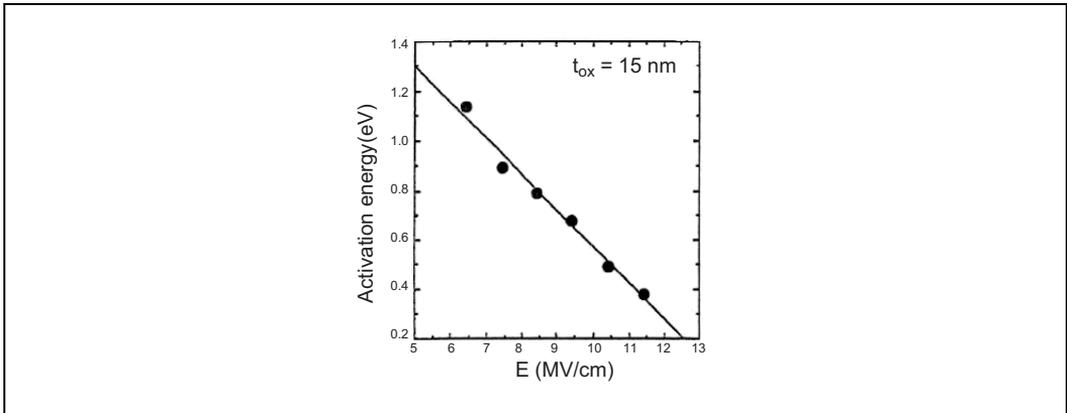


図 4.12 活性化エネルギーの電界依存性<sup>(5)</sup>

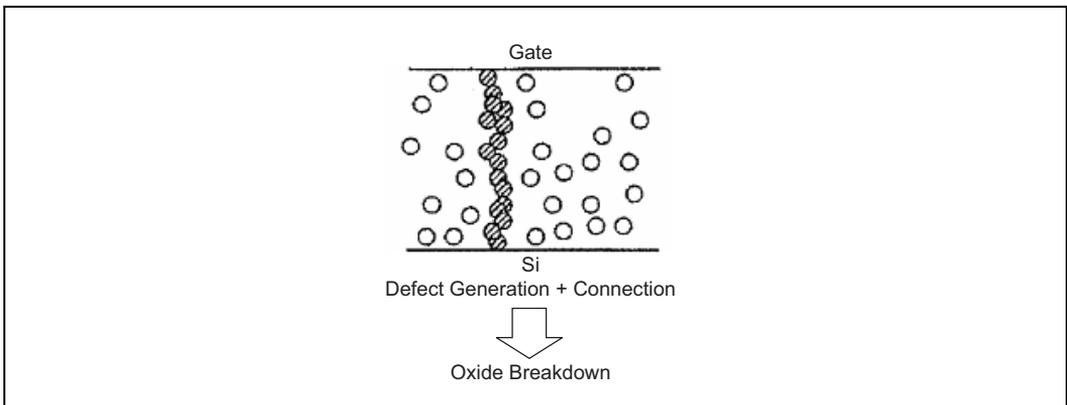


図 4.13 絶縁破壊メカニズム<sup>(6)</sup>

## (2) 故障メカニズム

TDDB の故障メカニズムはさまざまなモデルが考えられていますが、最近では定性的なメカニズムとしてパレーションモデルが挙げられます。

酸化膜への電界印加により、陽極側で酸化膜へのホール注入が発生し、酸化膜中にトラップを作ります。トラップの増加に伴い、ホッピングあるいはトンネルによりトラップを介した電流が SILC (Stress Induced Leakage Current) として観測されます。さらにトラップが増加し、トラップがゲート電極から Si 基板まで繋がると、大電流が流れ、ゲート酸化膜破壊に至ると言われています (図 4.13<sup>(6)</sup>)。

以上のように、TDDB 現象は酸化膜中に形成されるトラップ準位、すなわち欠陥と関係しており、加速試験によりプロセスの酸化膜質を十分把握し、製品設計する必要があります。また、プロセス的には欠陥が発生しにくい SiO<sub>2</sub> 膜とすることが大切であり、そのための酸化膜の形成方法が重要となります。

## 4.2.2 ホットキャリア

微細加工プロセス技術の発展に伴い、半導体デバイスは高集積化の一途をたどっていますが、電源電圧はシステム側からの要求や内部信号レベルの低下につながるため、スケーリング (低電圧化) されにくい傾向にあります。

電源電圧をスケーリングせずに微細化を進展させることは、デバイスを構成する内部素子の電界強度を増大させることを意味し、特に MOS FET では、ドレイン近傍の電界強度が増大し、ホットキャリア現象が起こります。高電界領域に流れ込んだキャリア (電子または正孔) は、高電界に加速され大きなエネルギーを得ます。一部のキャリアは Si 基板とゲート酸化膜間に存在する電位障壁を越えるような大きなエネルギーを有するホットキャリアとなります。このホットキャリアは、ゲート酸化膜中に注入され、一部は膜中にトラップ (捕獲) され、空間電荷を形成し、MOS FET のしきい値電圧 ( $V_{th}$ ) および伝達コンダクタンス (gm) などの特性を経時的に劣化させます。これらの劣化は半導体デバイスの諸特性を劣化させ、究極的には故障に至ります。また、このときに注入されたキャリアでトラップされなかったものはゲート電流となり、基板方向に流れたキャリアは基板電流として観測されます。

ホットキャリアの代表的な注入メカニズムを以下に示します。図 4.14 に主なメカニズムであるドレインアバランシェ・ホットキャリア注入およびチャネル・ホットキャリア注入を図示します。

- (a) ドレインアバランシェ・ホット電子注入  
(DAHC: Drain Avalanche Hot Carrier) 注入<sup>(7)(8)</sup>
- (b) チャネル・ホット電子注入  
(CHE: Channel Hot Electron) 注入<sup>(9)</sup>
- (c) 2 次的に発生したホット電子注入  
(SGHE: Secondary Generated Hot Electron) 注入<sup>(9)(10)(11)</sup>
- (d) 基板ホット電子注入  
(SHE: Substrate Hot Electron) 注入<sup>(12)</sup>

#### 4. 半導体デバイスの故障メカニズム

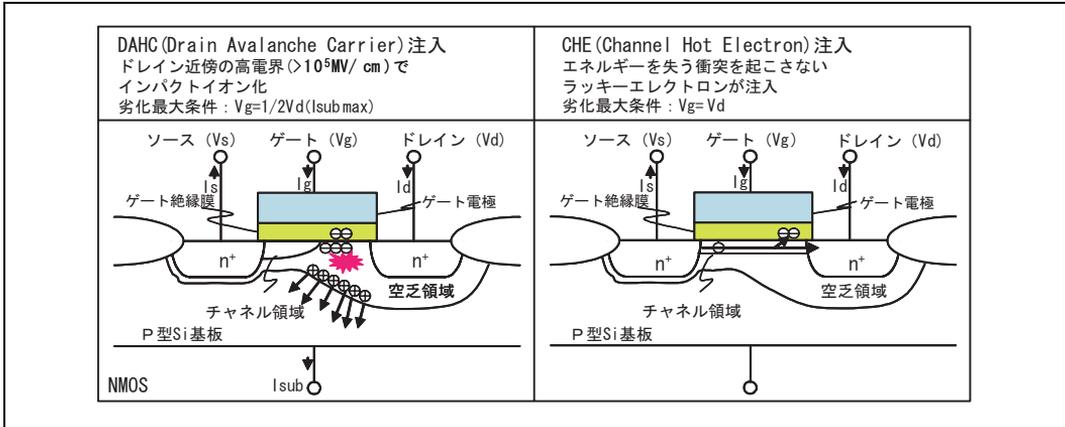


図 4.14 ホットキャリアの主な発生メカニズム

通常の動作温度領域で最も厳しい劣化を発生させる DAHC を例にホットキャリア現象について簡単に説明します。図 4.14 のように、MOS FET のドレインに高電圧を印加し、 $V_g < V_D$  となるようにした場合（チャンネルがドレイン端に達しない、ゲート電圧がドレイン電圧より小さい場合に相当します）を例に考えます。

ドレインに高電圧を印加するとドレイン近傍に高電界領域が形成されます。この高電界領域ではソースから流れ出した電子がドレイン近傍の高電界によりインパクト・イオン化（Impact ionization：衝突電離）を起こし、そのときに電子正孔対が発生します。このうち大部分の正孔は、基板に向かって流れ基板電流になりますが、大きなエネルギーを得た電子は、電位障壁を乗り越えゲート酸化膜中に注入され、トラップされます。これにより MOS FET のしきい値電圧 ( $V_{th}$ ) および伝達コンダクタンス ( $g_m$ ) などの特性が劣化し、製品に至っては  $V_{cc}$  下限動作電圧の劣化などを引き起こします。図 4.15 に示すとおり、ドレイン電圧が高いほど（製品を考慮した場合には電源電圧）、劣化が大きくなります。

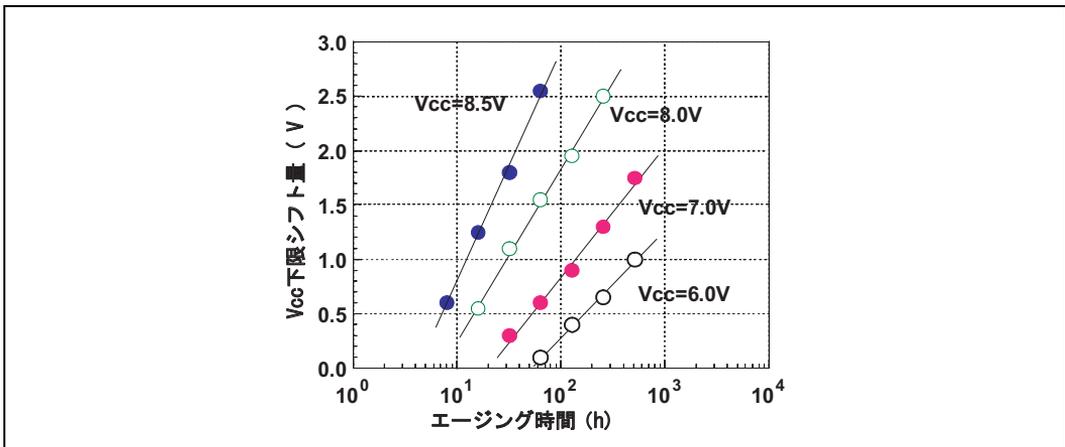


図 4.15 劣化の電源電圧（ドレイン電圧）依存性

ホットキャリアによる劣化寿命  $t$  の代表的なモデル式としては以下があります。  $m$  の値としては 3 程度、  $B$  の値としては、 100~200 の値が、よく報告されています。

$$t = C \times I_{\text{sub}}^{-m} \quad (4-2-2)$$

$$t = A \times e^{-B/V_{\text{ds}}} \quad (4-2-3)$$

ここで、  $A$ 、  $B$ 、  $C$ 、  $m$  : 定数

$I_{\text{sub}}$  : 基板電流

$V_{\text{ds}}$  : ドレイン電圧

ホットキャリア劣化を加速する要因として前述した電源電圧、チャネル長、保護膜などに含まれる水素、環境温度などがあります。

半導体素子の故障要因の大部分は、温度が高くなるほど故障要因が加速されますが、ホットキャリア劣化は温度が低くなるほど故障要因が加速される性質があります。すなわち、低温条件下にて MOS FET にストレスの印加を行うと（製品の場合には内部 MOS FET にストレスが印加されるよう動作させると）、Si 基板中を流れる電子は、高温条件下に比較し原子の熱的振動が小さくなるために、格子に衝突する確率が減少します。このため電子の平均走行距離が長くなり、より高いエネルギーを持つこととなります。したがって、高いエネルギーを持つホットキャリアの数は増加し、キャリアが酸化膜中に注入される確率は大きくなります。さらに、衝突電離も起こりやすくなり、2 次的に発生する電子の数も増加します。これら 2 次的に発生する電子もホットエレクトロンとなるため、酸化膜中に注入され、トラップされるキャリアも増加することになります。以上の原理により、ホットキャリアの劣化は低温の方が加速され、低温での評価が重要となります。しかしながら、微細化に伴う電源電圧の低下によって、衝突電離のモードが変化してきており、必ずしも低温が厳しいとは限らなくなってきました。<sup>(13)(14)</sup>

ホットキャリア劣化に対する改善対策としては、図 4.16 に示すような、LDD (Lightly Doped Drain) 構造の MOS FET が先端の LSI に採用されています。この構造により、MOS FET のドレイン端における電界集中を緩和することができます。さらに設計的工夫として、電界強度の大きい回路を構成する MOS FET の長チャネル化や集積回路の内部タイミング設定の最適化によるホットキャリア発生現象の低減などが行われています。

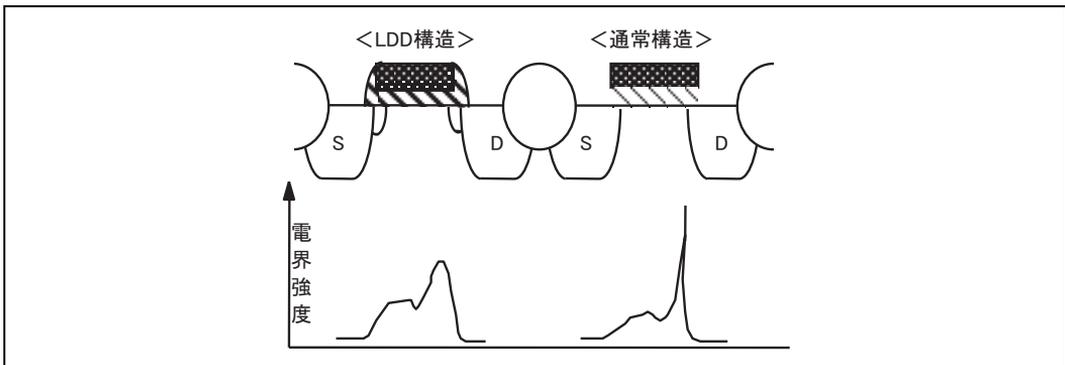


図 4.16 LDD 構造

## 4. 半導体デバイスの故障メカニズム

### 4.2.3 NBTI (Negative Bias Temperature Instability)

P-MOS FET の負バイアス BT(Bias Temperature)ストレスにおける劣化現象 (Vth/Gm シフト) を NBTI と言います。この現象は、微細化に伴い内部 MOS FET の電界強度が大きくなるにつれ、顕在化してきており、信頼性の重要な項目の一つになっています。

#### (1) 故障現象

P-MOS FET の NBTI 現象による劣化 (Vth/Gm シフト) は、界面順位の増加とゲート酸化膜中の正のチャージの増加が原因と考えられています。(15)(16)(17)(18)

NBTI 現象による Vth 劣化寿命  $\tau$  は、強いゲート電界依存性があり、一般的には以下の故障モデル式が、よく用いられます。

$$\text{MTTF} = A \times 10^{-\beta E} \times e^{Ea/(kT)} \quad (4-2-4)$$

ここで

MTTF : 平均故障時間 (h)

A : 定数

Ea : 活性化エネルギー (eV)

E : 電界強度 (MV/cm)

$\beta$  : 電界強度係数 (cm/MV)

k : ボルツマン定数

T : 絶対温度 (° K)

しかしながら、実際には電界が小さくなるほど、**図 4.17** に示すとおり電界依存性が大きくなり、電界のべき乗 (Power law モデル) に比例します(19)。高ストレス下で得られた  $\beta$  を用いると、式 (4-2-3) を使った市場での予測は難しくなります。プロセスによって値は少し異なりますが、弊社では活性化エネルギーを 1eV 程度の値で、電界加速性  $\beta$  (cm/MV) は 1~1.5 程度の値となります

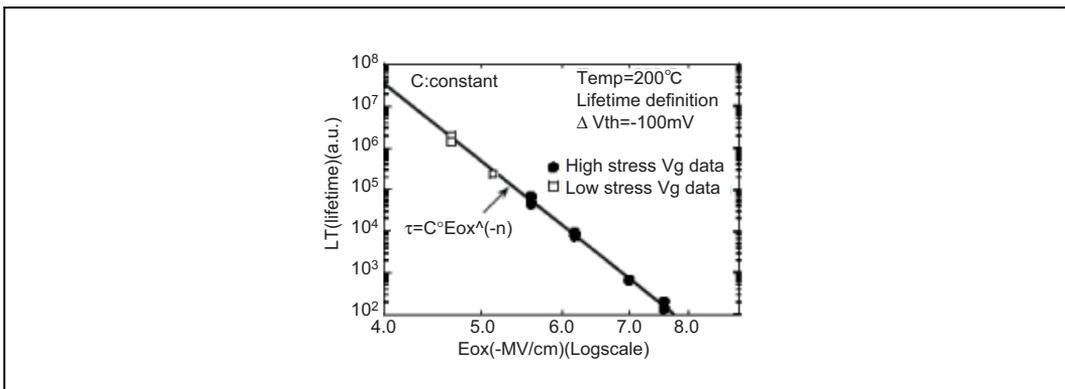


図 4.17 デバイス寿命の電界依存性<sup>(14)</sup>

#### (2) 故障メカニズム

P-MOS FET の NBTI 現象のメカニズムについては、以下が考えられます。(20)

SiO<sub>2</sub>-Si 界面の Si dangling bond は、水素により不活性化されて Si-H として存在しますが、高温・高バイアスの

ストレスとホールが存在で、電気化学反応を起こし、水素を開放します。その際、Si dangling bond(Si<sup>•</sup>)は界面順位となり、水素は酸化膜中へと拡散していきます。酸化膜中を拡散する水素の一部が酸化膜中の欠陥と結びついて、トラップを形成します。このような界面順位の増加、酸化膜中のトラップに起因したチャージが、Vth/Gmの劣化に結びついていると考えられています。

NBTI現象によるVth/Gmの劣化は、ストレスバイアスの除去、逆バイアスの印加で回復します。<sup>(21)(22)(23)</sup>したがって、DCストレスが印加される回路では、NBTI現象は、特に重要となります。

#### 4.2.4 エレクトロマイグレーション

半導体集積回路では、金属配線膜として主にAl蒸着膜が用いられています。半導体集積回路においてエレクトロマイグレーションが問題となるのは、Al蒸着膜が多くの粒界を持つ多結晶構造をしていること、さらに半導体集積回路が急激に高機能化、高速化しており、半導体素子のAl配線を通る電流の密度が $10^4\text{A}\sim 10^5\text{A}/\text{cm}^2$ と大きいことが理由に挙げられます。エレクトロマイグレーションとは、導体に電流を流すことにより金属イオンが移動する現象です。Al配線では電子の流れる方向にAlイオンが移動し、陰極側にボイドが発生しオープン故障になり、陽極側ではヒロックやウィスカが成長し、最終的にはショート故障に至るものです。図4.18に発生メカニズム、図4.19にその故障例を示します。

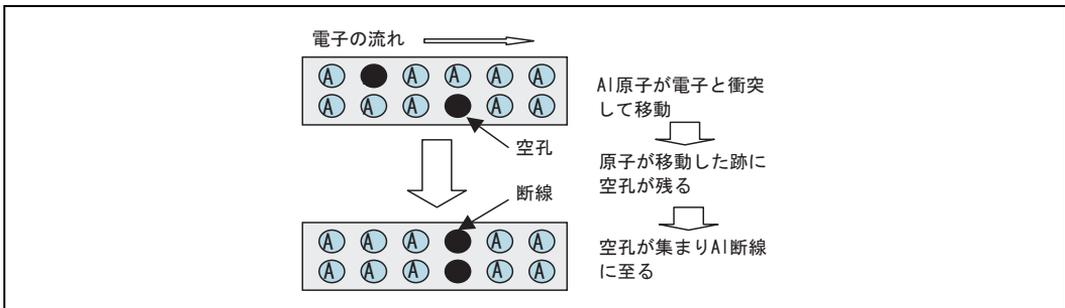


図 4.18 発生メカニズム

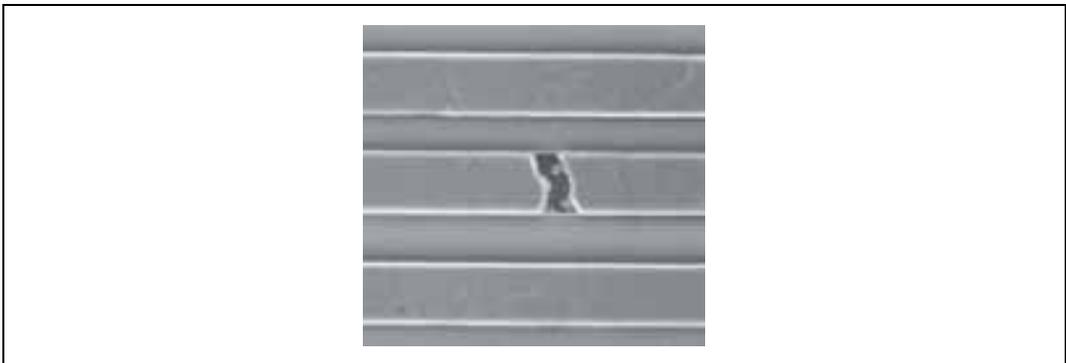


図 4.19 Al配線のエレクトロマイグレーション

## 4. 半導体デバイスの故障メカニズム

半導体集積回路の Al 配線は多結晶構造、すなわち単結晶粒の集合体であり、金属原子の拡散としては図 4.20 に示すように、格子拡散、粒界拡散、表面拡散が考えられます。多結晶薄膜では粒界が多く、粒界では欠陥が多く、金属原子が移動しやすいため、通常は粒界拡散によるものが起こりやすくなります。微細化に伴い、薄膜になっていくと表面の割合が大きくなっていくので表面拡散も重要な要因となってきます。

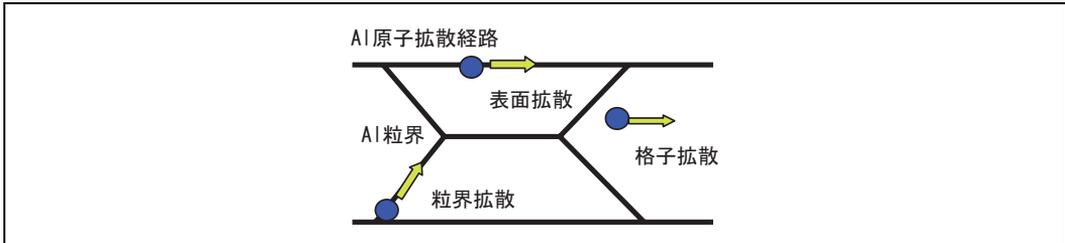


図 4.20 多結晶 Al での格子拡散、粒界拡散、表面拡散

エレクトロマイグレーションの故障モデル式は一般的に (4-2-4) 式で表されます。

$$MTTF = A \times J^{-n} \times e^{\frac{E_a}{kT}} \quad (4-2-5)$$

ここで、MTTF：平均故障時間 (h)

A：配線の構造、材料により決まる定数

n：定数

Ea：活性化エネルギー (eV)

k：ボルツマン定数

T：配線部の絶対温度 (K)

であり、J.R. Black によれば  $n=2$  として示されています。<sup>(24)(25)</sup>

温度依存性は、Ea が 0.6~1.0eV の値が確認されています。<sup>(26)(27)(28)</sup>

エレクトロマイグレーションに関しては、Al 配線の下層、上層あるいは上下層に、タングステン (W)、チタン (Ti) 等の高融点金属をバリアメタルとして積層配線する、Al 配線に Cu を添加する (粒界拡散の抑制)、ビアホールにタングステンプラグ等を導入することで、微細化により限界の見えていた配線のエレクトロマイグレーション耐性向上を計っています。

### 4.2.5 ストレスマイグレーション

ストレスマイグレーションとは、電流印加のない温度ストレスのみの状態で、金属原子が移動する現象を言います。<sup>(29)(30)</sup> ストレスマイグレーションは、パッシベーション膜あるいは層間絶縁膜と Al 配線の熱膨張係数の差から生ずる応力に起因します。そのメカニズムは、図 4.21 に示すとおり、配線上のパッシベーション膜により、配線に引張応力が加わり、これにより Al 原子が移動することでボイドが形成され、最終的には断線に至るというものです。低温ほど応力は大きくなり、一方金属原子は高温ほど動きやすいため 150~200℃という中間的な温度での長期保存により発生します。このモードは、低温長期モード呼ばれており、主にスリット状の断線となりま

す。配線幅が細くなるほど、起こりやすくなります。<sup>(31)(32)</sup> その他に、半導体デバイスの製造工程の熱処理時、くさび状ボイドとなって現れる高温短期モードもあります。図 4.22 および図 4.23 に、各々の故障例を示します。

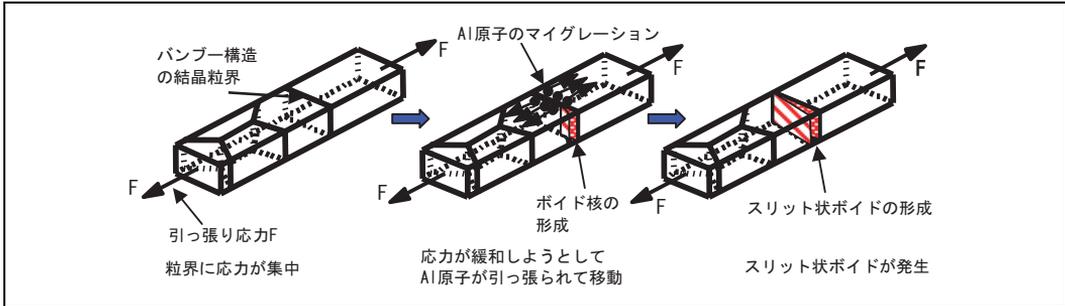


図 4.21 スリット状ボイドの発生メカニズム



図 4.22 スリット状ボイド

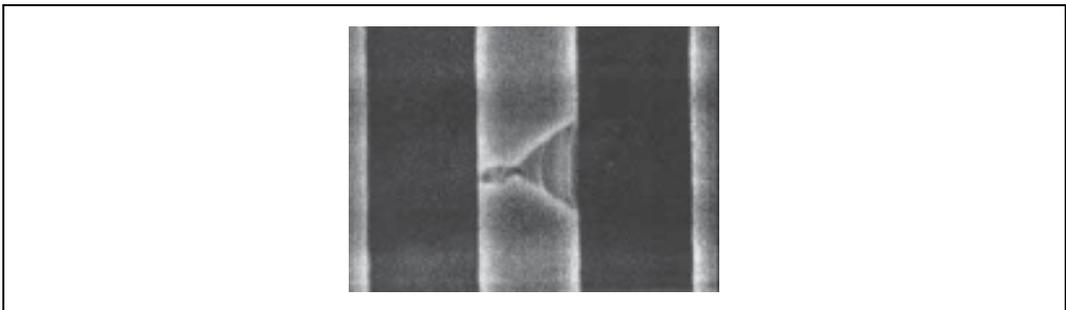


図 4.23 くさび状ボイド

ストレスマイグレーションに関しても、エレクトロマイグレーション同様、バリアメタルの適用、Al 配線への Cu 添加（粒界拡散の抑制）、ピアホールにタングステンプラグ等を導入することで耐性の向上を計っています。

### 4.2.6 ソフトエラー

#### (1) $\alpha$ 線によるソフトエラーのモデル

半導体メモリの大容量化、微細化を阻む問題の一つとして、T.C.May らが発表した一過性の誤動作、 $\alpha$ 線によるソフトエラーの問題が挙げられます。<sup>(37)</sup>

このソフトエラーとは、パッケージや配線材料に微量に含まれている U (ウラン)、Th (トリウム) から放出される  $\alpha$  線により、メモリ情報が反転する現象です。図 4.24 に示すように、 $\alpha$  線がメモリチップに入射した際、シリコン基板内に高密度の電子正孔対を生成、電界の存在で分離します。PN 接合があると、N 層に電子が、P 層にホールが集められ、これによりメモリデバイスのメモリ情報が反転、誤動作します。この誤動作は永久破壊ではなく再書き込みにより正常となります。

$\alpha$  線の入射によって生成した電子正孔対のうち、正孔はマイナス電位が印加される基板側へ引かれます。逆に、電子はプラス電位が印加される情報蓄積側へ引かれます。ダイナミック RAM において回路動作上、情報蓄積部に電子が満ちた状態を情報 0、空の時の情報 1 としているため、情報 1→0 の誤動作が発生します。このような誤動作をソフトエラーの「メモリセルモデル」と呼んでいます。

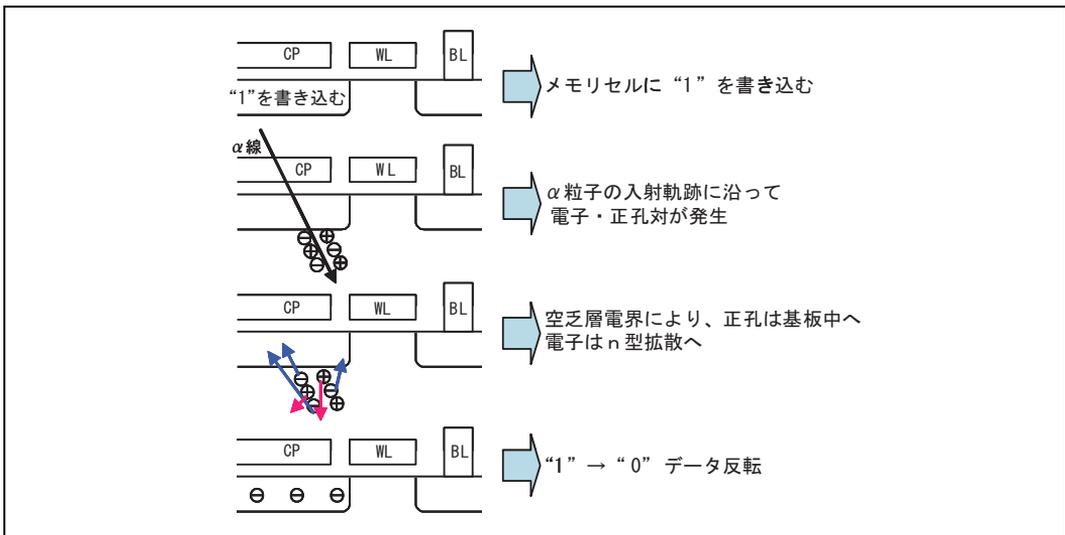


図 4.24 メモリセルでの誤動作

また情報 1、0 を判定するビット線電位の変化によって発生する「ビット線モデル」と呼ぶモデルもあります。ビット線は、メモリの読み出し状態においてメモリセルの情報によりその電位が変化し、これを基準電位と比べて情報の 1、0 を判定します。この変化量は極めて微小であるため、センスアンプにより増幅を受けています。メモリセルからのデータ読み出しからセンスアンプの増幅までの極めて短い時間帯に、 $\alpha$  線がビット線近傍に入射すると、ビット線の電位が変化します。ビット線の電位が基準電位よりも低下すると、情報 1→0 の誤動作が発生します。逆に、基準電位側が低下すると、情報 0→1 の誤動作が発生します。

この 2 つのソフトエラーモデルの特長は、メモリセルモデルが情報 1→0 の反転だけ生ずるのに対し、ビット線

モデルは、1→0 と 0→1 の両方の反転が起こることです。また、前者の発生率はメモリセル情報が反転するモデルのため、メモリ動作のサイクルタイムに対して無関係です。しかし、後者はデータ読み出し時のビット線電位がアクティブにある短い時間に対して問題となるモデルのため、サイクルタイムが短くなるほどこの回数が増加します。このためビット線モデルにおいてはサイクルタイムに対し発生率は反比例します。

### (2) ソフトエラーの評価方法

メモリの  $\alpha$  線によるソフトエラーを評価することはメモリの信頼性において大変重要なテーマです。メモリのソフトエラー故障率を評価するには、実装試験による評価方法が最も精度の良い方法です。しかしながらこの実装試験による評価方法は大量のサンプルを長時間モニタ試験する必要があります。

例えばある製品のソフトエラー率について、500 個のサンプルで数百 FIT の実力を評価しようとする場合、試験に要する時間は 20000 時間以上になります。このため実装評価によるソフトエラー率の評価は製品プロセスを代表する品種で実施するようにしています。これに対し、短時間で評価を行う方法として  $\alpha$  線源による加速試験法があります。図 4.25 に装置の略図を示します。 $\alpha$  線源をテストチップの上面に置き評価します。

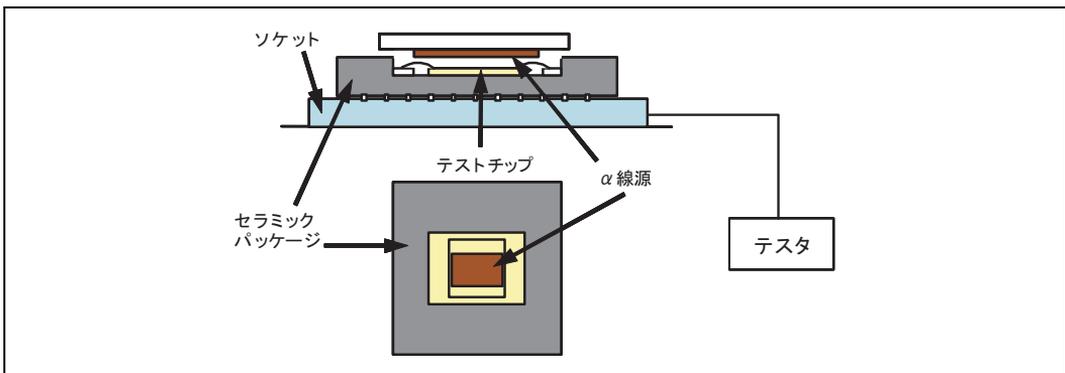


図 4.25 ソフトエラー加速評価装置

### (3) ソフトエラーの対策

メモリの  $\alpha$  線によるソフトエラーを対策するには、次の 3 点が挙げられます。

- (a) パッケージや配線材料の高純度化により発生する  $\alpha$  線の量を減少させる。
- (b) チップ表面をチップコート材によりコーティングしパッケージ材からチップに照射される  $\alpha$  線を阻止する。
- (c) メモリデバイスの耐  $\alpha$  線強度を強くする。

大容量メモリで必須となりつつあるのがチップコート技術です。弊社では、ポリイミドコートにより  $\alpha$  線対策を行っています。これは、 $\alpha$  線を放出している U、Th の放射性元素を含まないコーティング材をチップ表面に塗布することにより、パッケージ材からチップに照射される  $\alpha$  線を阻止することを目的としています。図 4.26 にポリイミドコート膜によるソフトエラーの阻止効率を評価した結果を示します。コート膜を厚くしていくに従いエラーの発生率が減少していきます。

その他には、メモリデバイスの  $\alpha$  線に対する強度向上として、メモリセルが情報として蓄えている蓄積電荷量

## 4. 半導体デバイスの故障メカニズム

を確保することがポイントです。

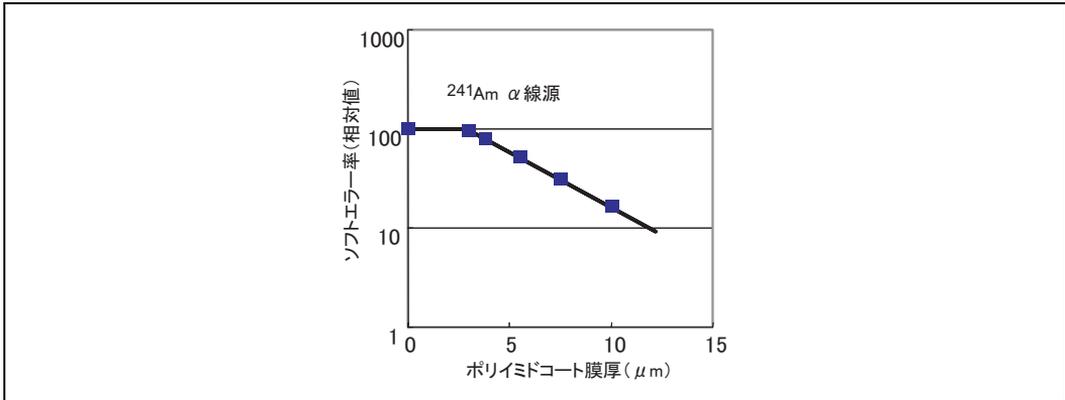


図 4.26 ポリイミドコートのソフトウェア防止効果

しかしながら、メモリの大容量化に伴い 1 個のメモリセルの占める面積はますます小さくなっており、この蓄積電荷量を確保することは大変難しくなっています。このためトレンチ構造やスタック構造など構造面での改善、酸化膜から誘電体膜への移行等により、蓄積電荷量を確保し、 $\alpha$ 線に対する強度向上を図っています。

さらに、近年  $\alpha$ 線以外の宇宙線（中性子線等）による影響も、製品の微細化、低電圧化の進行で無視できなくなってきました。<sup>(38)</sup> 世の中では JEDEC により評価方法が規格化され（JESD89）、国内でも JEITA により評価方法の標準化が進められています。

### 4.2.7 不揮発性メモリの信頼性

半導体メモリの中で不揮発性メモリの情報記憶方法は、図 4.27 に示されるスタック型ゲートメモリのようにメモリセル内のフローティングゲートに電子を蓄積することによりデータ保持するタイプと、図 4.28 に示される MONOS 型ゲートのように電子/正孔を MNOS/MONOS ゲートに蓄積することによりデータ保持するタイプに大別することができます。

さらに、近年では強誘電体の分極特性を利用した FRAM 製品や相変化メモリ、磁気メモリ（MRAM）等が次世代不揮発性デバイスとして開発されています。

代表的な不揮発性メモリのフラッシュメモリを一例として、スタック型ゲートタイプの書き込み動作原理を説明しますと、フローティングゲートへの電子注入は一般に図 4.27 のようにドレイン（ $V_b$ ）と制御ゲート（ $V_G$ ）に高電圧を加え、ソース電位は接地して行われます。ソースから流れ出た電子は、ドレイン近傍に形成する高電界領域で、高エネルギーを持った電子となり近傍の Si 格子と衝突電離を起し電子正孔対を発生させます。

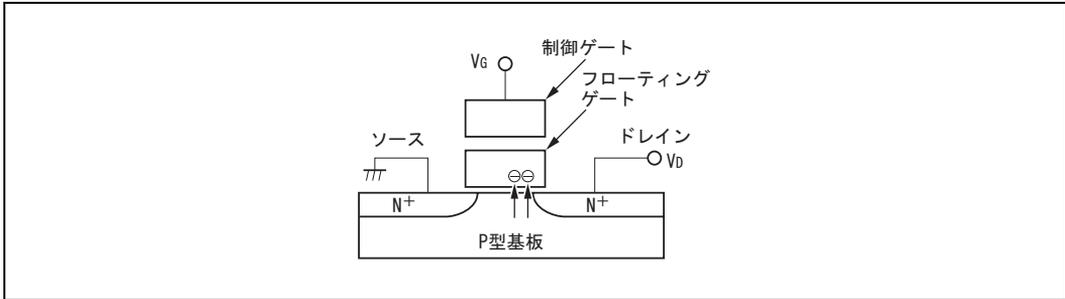


図 4.27 スタック型メモリセル断面構造

発生した電子（ホットエレクトロン）は高電圧印加された制御ゲートによりフローティングゲートに注入されます。フローティングゲートは周囲と隔離されているため、注入された電子は隔離された状態となります。この電子が注入された状態（書き込み）をデータ 0 とし、電子が注入されていない状態（消去）をデータ 1 としています。

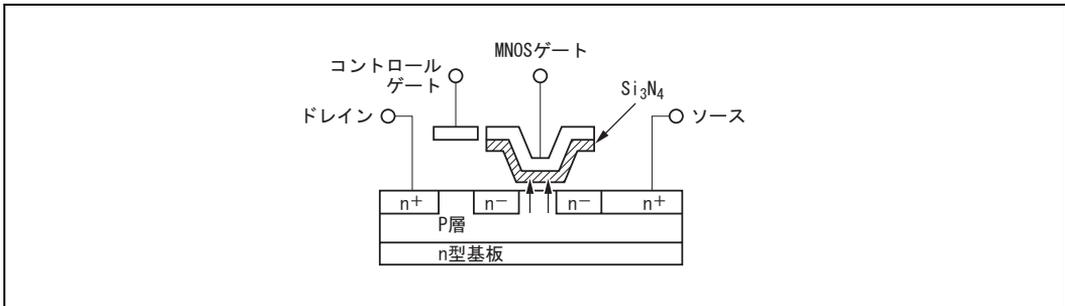


図 4.28 MNOS メモリセル断面構造

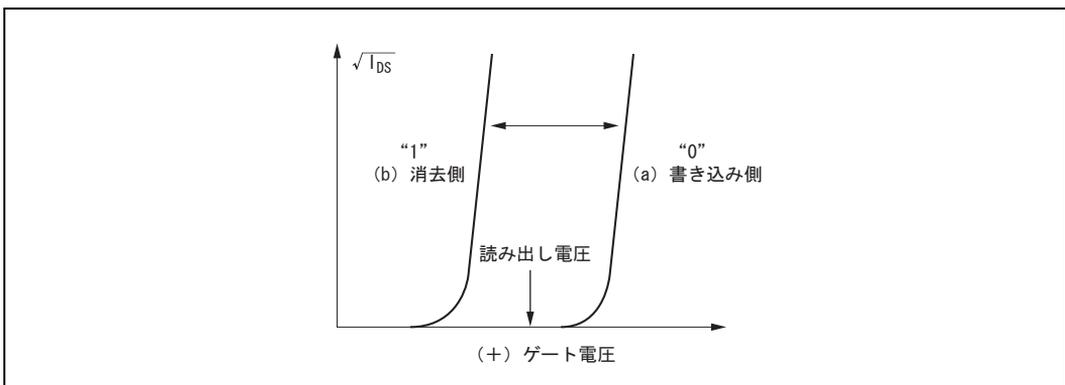


図 4.29 スタック型メモリセルの  $V_{th}$  変化

## 4. 半導体デバイスの故障メカニズム

---

この書き込みと消去の状態をメモリのしきい値 ( $V_{th}$ ) 変化の関係で示したものが図 4.29 です。書き込まれた状態の場合、メモリセルは高いしきい値をとり、消去された状態の場合は低いしきい値をとります。

### (1) データ保持特性

スタック型ゲートメモリでは、書き込みは上記のようにホットエレクトロン（又はFNトンネリング）で行いますが、その書き込まれた状態（フローティングゲートに電子が隔離された状態）を長時間保持する能力も要求されます。しかし、書き込まれた状態は、本来非平衡であるため熱により励起された電子の消失が、ある確率で起こります。この熱による電子消失のメカニズムはフローティングゲート中に隔離された電子が熱エネルギーにより励起され、周辺酸化膜のエネルギーバリアを飛び越えることにより起こるものです。したがって、データ保持に関してはフローティングゲートと周辺の酸化膜とのエネルギーバリアが高いほどデータ保持能力が高いと考えられています。この熱励起によるフローティングゲートからの電子放出の減衰量は次の熱イオン励起モデル式 (4-2-5) で示されます。

$$V_{CC}(t) / V_{CC}(0) = N(t) / N(0) = \exp \{ -\nu \cdot t \cdot \exp(-E_a/(kT)) \} \quad (4-2-6)$$

$V_{CC}$  : 最大動作電圧

$N$  : フローティングゲート中の電荷量

$\nu$  : 緩和振動数 ( $10^{12}/s$ )

$E_a$  : 活性化エネルギー (eV)

$k$  : ボルツマン定数

$T$  : 絶対温度

このデータ保持モードにおける保持時間は温度と強い相関関係があります。一般的にはデータ保持特性に関する  $E_a$  (活性化エネルギー) は 1eV 以上と考えられます。

### (2) 故障メカニズム

通常、データ保持はデバイスの動作保証温度範囲内で 10 年以上であることを目標としています。しかし、初期にフローティングゲート近傍になんらかの欠陥が存在する場合には、前記のようなデータ保持能力を保てなくなり、短時間でチャージロス/チャージゲインによる誤動作を引き起こすことがあります。このデータ保持特性により劣化に至る原因を大別すると、次の 4 点が挙げられます。

- 初期的な酸化膜欠陥によりチャージロス/ゲインがある場合
- イオン性汚染によるデータ保持劣化
- 過大電氣的ストレスによるデータ保持劣化
- 多数回書き込み/消去ストレスによるデータ保持劣化

酸化膜欠陥（リークパス、異物など）のうち、ゲート酸化膜に欠陥が存在する場合には（図 4.30）、制御ゲートのバイアス印加により基板からフローティングゲートに電子を引き付けることにより、欠陥箇所を介してチャージゲインまたはチャージロスを起こすことが考えられます。一方、層間膜に欠陥が存在する場合には（図 4.31）、消去状態では故障が検出されませんが、書き込み状態では制御ゲートからのバイアス印加によりフローティング

ゲート中の電子が欠陥箇所を介して、チャージロスを引き起こし、故障として顕在化することが考えられます。両モードともに熱ストレス印加により短時間で故障となるため、製造工程で高温放置試験を行うことにより初期のデータ保持不良を除去（スクリーニング）することが可能です。

また、酸化膜中のイオン性汚染の影響によりフローティングゲート中の電子が消失する場合があります。この故障モードに対しても高温放置試験（データ 1 と 0 混在パターン）が有効です。

さらに、データ保持特性劣化の別現象としてスタック型ゲートメモリの場合は、多数回の書き込み／消去を繰り返すことによるしきい値狭化の現象があります。書き込み／消去を 1000 回以上繰り返すことで、酸化膜中を高エネルギーの電子または正孔が通過し、ある確率で電子または正孔が酸化膜中にトラップされ、書き込み／消去のしきい値の狭化を引き起こします。そのため、データ保持特性が劣化する現象があります。

さらに、書き込み／消去回数を重ねるにつれて狭化は進行するため、スタック型ゲートメモリの書き込み／消去回数には、おのずと限界があります。したがって、ご使用時には、書き換え回数を抑えることが信頼性向上に有効です。

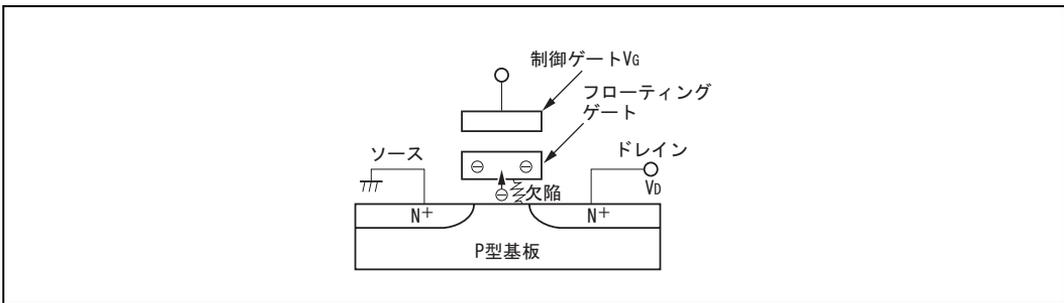


図 4.30 ゲート酸化膜欠陥モード（チャージゲイン）

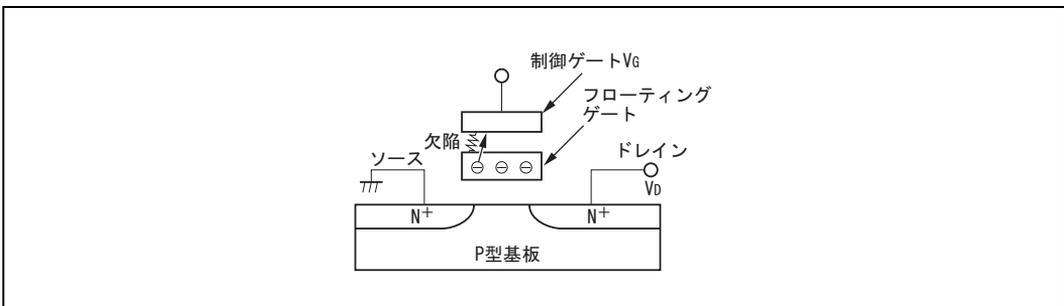


図 4.31 層間膜欠陥モード（チャージロス）

### 4.3 アセンブリプロセス起因の故障メカニズム

#### 4.3.1 ワイヤボンディングの信頼性(Au-Al 接合の信頼性)

(1) 概要

半導体デバイスは、半導体チップをパッケージのダイパッドにダイボンディングを行った後、半導体チップの表面電極(Al パッド)とパッケージのインナーリード(Ag, Au メッキ)との間を金属細線(Au)のワイヤを用いてボンディングし結線します。かつて、半導体デバイスの組み立て工程での故障は、ほとんどがこのワイヤボンディング工程に起因するものとされてきましたが、最近のワイヤボンディング技術の進歩には目覚ましいものがあり、製造機器の高精度化、自動化によりワイヤボンディングの信頼性は飛躍的に向上しています。

ワイヤボンディングの自動化は、作業者による品質のばらつきを排除し製造時の初期接合不良を大幅に減少させます。しかしながら、Au-Al の異種金属の接合では、金属間化合物の形成による構造的に避けることのできない長期的な寿命の劣化現象が起きることが知られています。一般的に、この金属間化合物のことをパープルプレイグと呼びます。本項では、ワイヤボンディングの信頼性を Au-Al 合金の拡散進行状態との関係を基に述べます。

(2) 理論

Au ワイヤ方式では半導体チップ上の Al 電極と Au

ワイヤとの接合部が Au-Al 接合となります。この Au-Al 接合では、高温に半導体デバイスを長期間保存すると接合部の接触抵抗が増加し、最終的に接合部が断線に至ることが知られており、半導体デバイスを使用する機器に致命的な不良を与えるため古くから多くの報告がされています。

Au-Al 系接合では、図 4.32 に示すように複数の金属間化合物が形成されることが知られています。表 4.4 に金属間化合物および Au, Al の性質を示します。

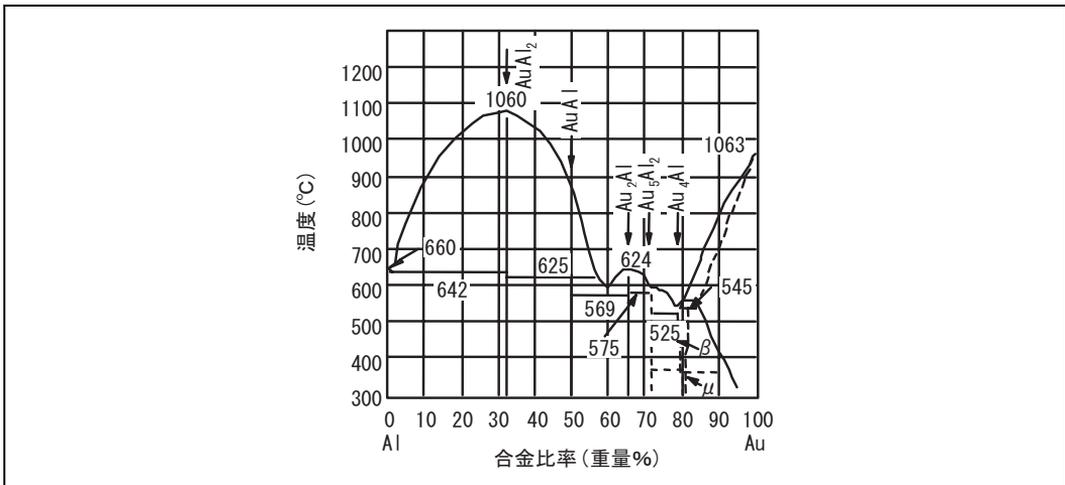


図 4.32 Au-Al 系合金の状態図

表 4.4 Au-Al 金属間化合物の性質

化合物	結晶構造	膨張率	硬度(Hv)	色
Al	f.c.c.	$2.3 \times 10^{-5}$	20~50	銀
AuAl <sub>2</sub>	CaF <sub>2</sub> 型	$0.94 \times 10^{-5}$	263	紫
AuAl	ZnS 型	$1.20 \times 10^{-5}$	249	灰
Au <sub>2</sub> Al	不明	$1.26 \times 10^{-5}$	130	薄い金色
Au <sub>5</sub> Al <sub>2</sub>	$\gamma$ -brass 型	$1.40 \times 10^{-5}$	271	同上
Au <sub>4</sub> Al	$\beta$ -Mn 型	$1.20 \times 10^{-5}$	334	同上
Au	f.c.c.	$1.42 \times 10^{-5}$	60~90	金

## (3) 発生メカニズム

Au-Al 系接合の劣化をもたらす原因は、次の 3 つの要因があると考えられます。

- Au-Al 拡散の進行により、拡散層内に形成される複数の金属間化合物のうち Au<sub>5</sub>Al<sub>2</sub> と Au<sub>4</sub>Al との層間での膨張率の不整合による接合強度の低下。
- Au と Al との拡散係数の差により接合部周囲にポイドが発生すること(カーケンダル効果)による接合強度の低下。
- 樹脂中の難燃材に含まれる臭素(Br)を触媒とした Au<sub>4</sub>Al 合金層の酸化による高抵抗層の形成。

以下、図 4.33 を基に Au-Al 合金層形成の推移を説明します。

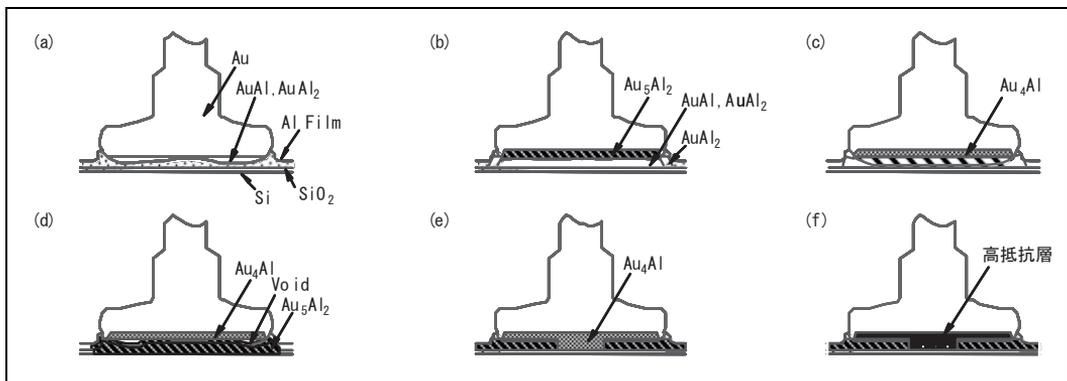


図 4.33 Au-Al 系合金の状態図

- (a) ボンディングの初期には、Au-Al 間に薄い拡散層が形成されます。この拡散層の色は紫であり、AuAl<sub>2</sub> と推定されます。
- (b) さらに加熱すると、Au-Al 拡散が進行し Al 薄膜中に Au が拡散し純 Al 層は消失します。これと同時に、Au ポール側に Au-Al と区別できる合金層が形成されます。これは、Au<sub>5</sub>Al<sub>2</sub> と推定されます。
- (c) 拡散の厚さは一定以上にはなりません。これは、Al の供給量が有限であるためと、Au $\leftrightarrow$ Al の拡散速度の差が原因と考えられます。拡散速度を D とすると、 $D_{Au \rightarrow Al} > D_{Al \rightarrow Au}$  の関係があります。Al 蒸着膜の初期厚さを

#### 4. 半導体デバイスの故障メカニズム

1  $\mu\text{m}$  とすると、拡散部の総厚さは 4~5  $\mu\text{m}$  程度です。加熱を続けると、拡散層中に Au が拡散し Au ポール側に Au<sub>4</sub>Al が形成され、これが半導体チップ側に成長します。

- (d) さらに加熱すると、拡散層内への Au の拡散が進行し拡散層はすべて Au<sub>5</sub>Al<sub>2</sub> と Au<sub>4</sub>Al とになります。また、拡散層の周囲にはボイドが発生します。これは、 $D_{\text{Au} \rightarrow \text{Al}}$ 、 $D_{\text{Al} \rightarrow \text{Au}}$  の差のために起こるカーケンダル効果によるものです。
- (e) さらに加熱すると、ボイドの発生箇所以外では拡散層内への Au の拡散がさらに進み、中央部に Au<sub>4</sub>Al 層が形成されます。
- (f) 樹脂封止型 IC の場合、樹脂中の難燃材に含まれる Br が触媒として働き、Au<sub>4</sub>Al 層の Al を酸化させることが知られています。Br は、ボイドから接合の内部に侵入し Au<sub>4</sub>Al 層の Al を酸化させるため、Au ポール中央部と合金層との界面に高抵抗層が形成され断線不良に至ります。このときの接合部の断面の観察結果を図 4.34 に示します。

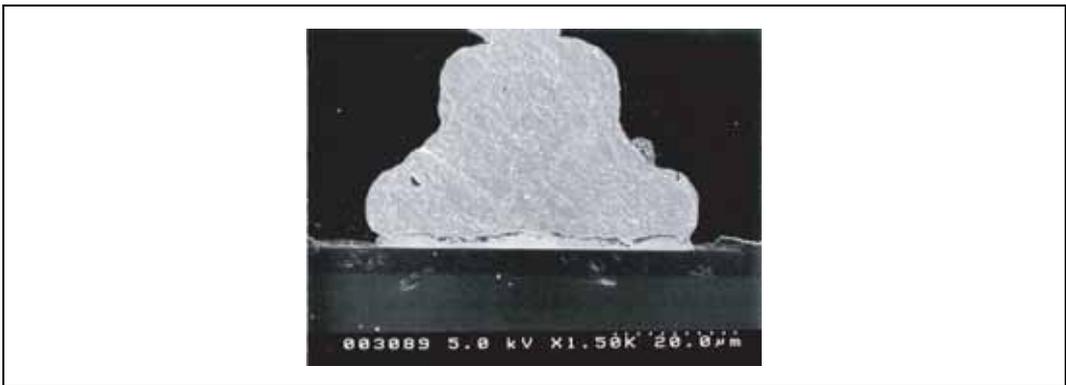


図 4.34 Au ポール接合部分の断面 SEM 写真

拡散層の厚さ  $X$  と保存温度  $T$ 、保存時間  $t$  との間には、次のアレニウスの関係式が成立します。

$$X^2 = D \cdot t, \quad D = D_0 \cdot \exp(-E_a/kT) \quad (4-3-1)$$

$D$ : 拡散定数

$E_a$ : 活性化エネルギー

$D_0$ : 振動数因子

$K$ : ボルツマン定数

拡散層の厚さの測定結果から活性化エネルギーを求めた結果、セラミックパッケージの場合、 $E_a$  は 0.56~0.8eV との報告があり、プラスチックパッケージでは  $E_a$  は 1.0eV 以上の値が求められますが、プロセスや部材等の複合的な要因で金属反応が進むため一定ではないと考えられます。

しかし、Au ポールボンディングの信頼性を向上させるためには、次の 3 点に留意する必要があります。

- ボンディングの初期接合を可能な限り短時間、低温で処理し Au-Al の相互拡散をできるだけ抑制する。
- ボンディング中または樹脂封止前には機械的衝撃を避ける。
- 樹脂封止後は必要以上に素子を加熱しない。

## (4) まとめ

Au-Al 系ワイヤボンディングは、合金系に支配される構造的な限界寿命を有しています。しかしながら、実使用状態においてはその寿命が問題になることはないと言えます。むしろ、ボンディングの信頼度を高くするためには初期接合性を満足するための製造機器の管理と材料の選択を十分に行い、接合後の半導体デバイスには不要な加熱処理を行わないことが有効です。

## 4.3.2 Ag イオンマイグレーション

## (1) 概要

Ag イオンマイグレーションは、金属の電気化学的な移動現象です。半導体チップ上の Al 配線で起こるエレクトロ/ストレスマイグレーションと区別するために、エレクトロケミカルマイグレーションと呼ばれています(本項ではイオンマイグレーションと呼びます)。このイオンマイグレーションは、電極材料が Cu、はんだ、Au 等、Ag 以外の金属の場合でも悪条件下で発生しますが、最も発生しやすく問題となりやすいのは Ag と Cu です。本項では Ag イオンマイグレーションについて説明します。

## (2) 現象

箔、メッキ、ペースト状の Ag が高湿度の環境下で電圧を印加すると、電気分解作用により図 4.35 に示すように絶縁物の表面を Ag がシミ状あるいは樹枝状に移動し成長します。この結果、電極間の絶縁抵抗値が低下したり短絡に至ることがあります。

典型的なイオンマイグレーションは、陽極側からシミ状の成長が起こり、陰極では樹枝状結晶(デンドライト)成長が起こります。しかしながら、実際には絶縁物の種類、環境条件等に影響されるため、陽極側から溶出した Ag イオンが途中で還元されて金属銀として析出したり、陰極側からの析出物が樹枝状にならずにシミ状になったりすることもあります。さらに、Ag は大気中の硫黄(S)や塩素(Cl)と反応しやすいので XMA 等で分析すると、これらの元素が同時に検出されることが多いです。

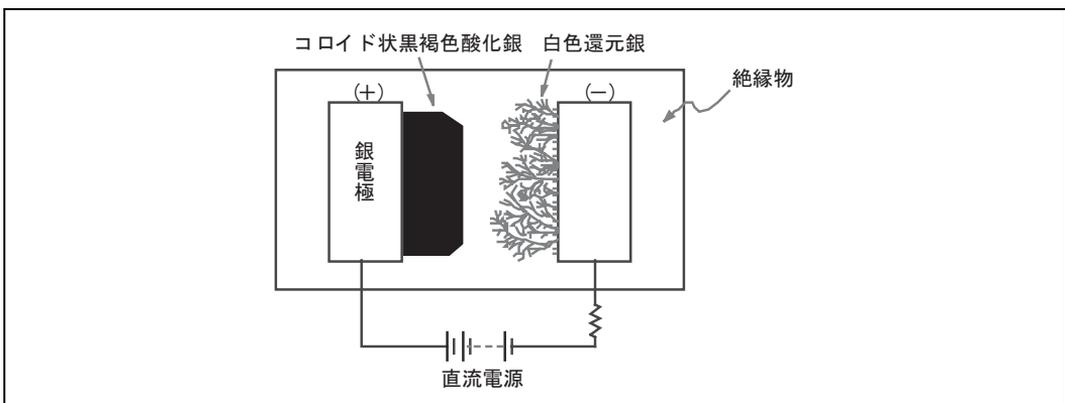


図 4.35 Ag イオンマイグレーションの発生過程

## 4. 半導体デバイスの故障メカニズム

---

### (3) 発生メカニズム

直流電圧が印加されている Ag 電極間に水分が付着すると、陽極において式 4-3-2 の化学反応が起こります。



ここで発生した水酸化銀(AgOH)は非常に不安定であるため、式 4-3-3 のように分解します。



発生したコロイド状の酸化銀(Ag<sub>2</sub>O)は、さらに、式 4-3-4 のように反応します。



このように、発生したコロイド状の Ag<sub>2</sub>O と Ag イオンとが徐々に移動(特に Ag イオンは電界により引っ張られる)して陰極に達すると、式 4-3-5 のように還元されて金属銀となります。



この析出銀は、一般に図 4.35 のように白色の樹枝状成長となります。さらに、その先端の電界の強さは成長とともに増大するため、一度成長が始まると加速度的に進行します。

### (4) 加速要因と対策

イオンマイグレーションの発生を加速する要因を以下に示します。対策としては、これらの要因を検討し影響の大きい要因を取り除くことが必要となります。

#### (a) 電位差および電極間隔

イオンマイグレーションは電気化学反応であるため、直流印加時のみ問題となります。また電極間が短絡するまでの時間は、おおむね電位差に逆比例し間隔に比例します。

#### (b) 温度

湿度に比べて関与する割合は小さいですが、温度が高いほど化学反応の速度が早くなるため、イオンマイグレーションは促進されます。

#### (c) 湿度(特に結露の有無)

湿度は、イオンマイグレーションに大きく影響します。一般的には、相対湿度が50%以下であれば進行せず70%以上になると急激に進行します。

#### (d) 絶縁物の種類

絶縁物の種類は、湿度とともにイオンマイグレーションに大きく影響します。一般的には、吸湿性の大きな基材のフェノール樹脂積層板、ナイロンなどにおいては顕著に発生しますが、吸湿性の小さなガラスエポキシ基板では発生しにくいです。

#### (e) 塵埃量および水質

塵埃はそれ自身が水溶性の成分を含んでいること、もしくは塵埃が水分の保持体として働くために、イオンマイグレーションを促進します。また水質は、電解質の濃度が高くなるほど促進します。

### (5) まとめ

Ag イオンマイグレーションについては、使用条件(特に環境と電圧)、発生による波及範囲と品質要求とを考慮し、ポテンシャル低減対策を検討し実施することが重要です。一般的に知られている対策方法としてはイオン性

不純物の低減、Ag 中 Pd 含有による抑制、イオントラップの添加等が報告されています。

### 4.3.3 Cu イオンマイグレーション

#### (1) 概要

半導体デバイス、特に多ピンのプラスチックパッケージでは、製造工程内でのリードフレームの変形、リード変形によるインナーリード間ショートを防止するため、耐熱性のポリイミドテープを接着剤固定したリードフレームを適用しています。しかし、Cu 材のリードフレームの場合 Cu 材とポリイミドテープを固定する接着剤が試験環境下において Cu イオンマイグレーションを発生させます。本項では Cu イオンマイグレーションについて述べます。

#### (2) 現象

Cu 材のリードフレームを適用した多ピンパッケージの製品を高温環境下で印加すると、図 4.36 のような (+) 電位と (-) 電位にあるインナーリード間において接着材に含まれる溶剤成分の影響で、Cu 金属がイオン化しピン間で Cu イオンマイグレーションが発生します。

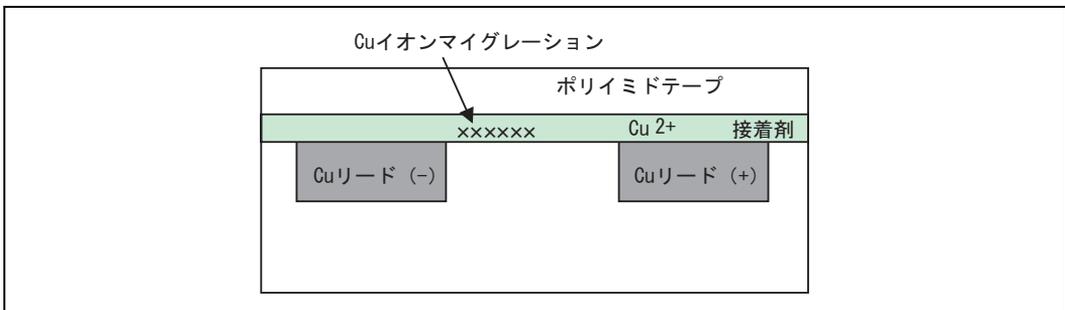


図 4.36 Cu イオンマイグレーションの発生過程 (パッケージ断面)

#### (3) 発生メカニズム

ポリイミドテープを固定する接着剤中に有機溶剤 (アルコール基 (R-OH) 等) が残留しているため Cu と高温下で印加されると陰極と陽極において式(4-3-6),(4-3-7)の化学反応が起こります。



陽極側では Cu イオンが溶出し、インナーリード間の電位差により陰極側に Cu 金属析出を引き起こします。(図 4.37 参照)

## 4. 半導体デバイスの故障メカニズム

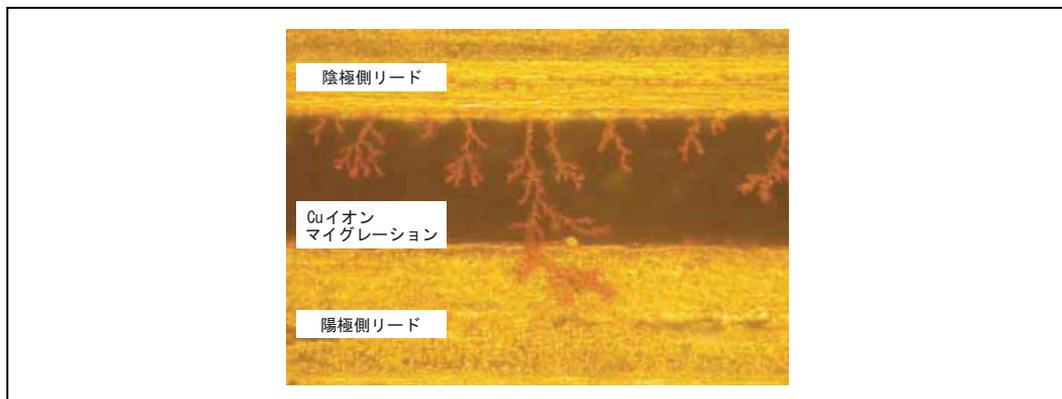


図 4.37 インナーリード間 Cu イオンマイグレーション発生例

### (4) 加速要因

Cu イオンマイグレーションの発生を加速する要因を以下に示します。対策としては、これらの要因を検討し影響の大きい要因を取り除くことが必要となります。

#### (a) 電位差および電極間隔

Cu イオンマイグレーションも一種の電気化学反応であるため、電極間が短絡するまでの時間は電位差に反比例し間隔に比例します。

#### (b) 温度

陽極側の化学反応速度は温度が高いほどCuイオンマイグレーションは促進されます。

#### (c) 不純物イオンの存在

固定テープの接着剤に含まれる不純物（陰イオン）の濃度が高いほどCuイオンマイグレーションは促進されます。

### (5) まとめ

インナーリードと固定テープ接着剤部分における Cu イオンマイグレーションを対策するには、Cu の溶出を防止する必要があります。材料面では残留有機溶剤が少ない接着剤の選定が挙げられます。また、組み立て工程においてはこの残留有機溶剤を高温ベークにより除去することが考えられます。

## 4.3.4 Al スライド

### (1) 概要

温度サイクル環境において、半導体チップがその低温時の樹脂の収縮応力により、チップ表面がチップ表面の中心部に向かうせん断力によって故障する現象の一つに Al スライドがあります。Al などの金属配線は外力により容易に変形しやすく、外部からの応力を支える材料ではありません。チップ表面の中心部に水平に配線部が力を受けた場合は、その力を支えるのは Al でなく表面のパッシベーション膜です。したがって、Al 配線幅が太い場合は、構造的に強度が低い保護膜は破壊され、Al 配線が移動します。この現象を Al スライドといいます。Al スラ

イド現象でパッシベーション膜にクラックが発生し、回路がダメージを受けるとデバイスが故障する場合があります。本項では、樹脂からのストレスにより AI がスライドする現象について述べます<sup>(39)</sup>。

## (2) 現象

半導体チップ、パッシベーション膜、樹脂の熱膨張係数がそれぞれ異なるため、外部からの温度変化により各層間で応力が発生します。低温保存時には、樹脂の収縮応力がチップに働き AI 配線がチップ中央に向かって移動します。特に、チップコーナー部では樹脂からチップへの応力が大きくなるため、AI スライド現象が顕著に見られます。また、この現象は、ストレスが集中する幅の広い AI 配線では顕著になります。AI スライドとパッシベーション膜のクラックは、密接に関係しています。AI 配線は容易に変形するため、温度変化による樹脂からの応力をパッシベーション膜が受けます。このパッシベーション膜にクラックが入ると、AI 配線が変形し、元の状態に戻らなくなります（塑性変形）。結果として、AI スライド現象が起こります。AI スライドの一例を図 4.38 に、発生メカニズムを図 4.39 に示します。この現象は、温度サイクル試験により加速されます。

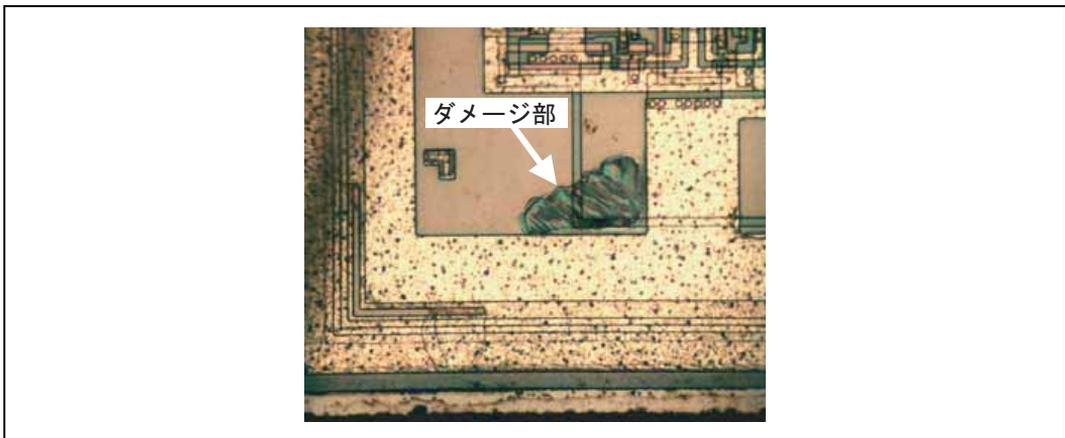


図 4.38 AI スライドの一例

## (3) 発生メカニズム

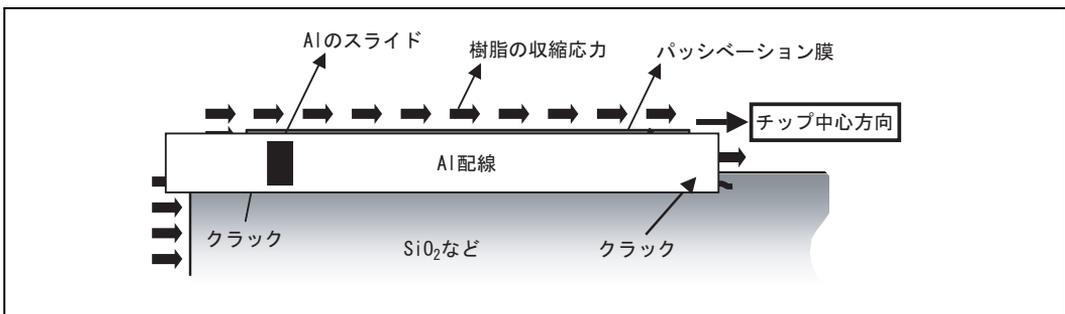


図 4.39 チップコーナー部分の AI 配線断面図

## 4. 半導体デバイスの故障メカニズム

---

AI スライド不良は温度変化にのみ影響を受けることから、故障モデル式はアイリングモデル式に従います。

$$\text{寿命 (L)} \propto (\Delta T)^{-n} \quad (4-3-8)$$

加速係数  $n$  の値は  $n=4.4\sim 8.1$  の報告があります<sup>(40)</sup>。

### (4) まとめ

AI スライド現象は、半導体を構成する材料の熱膨張係数差により発生し、それに伴う応力がパッシベーションクラックを誘発します。対策としては、次の方法が考えられます。

- (a) 樹脂の熱膨張係数をできるだけチップの熱膨張係数に近づける。
- (b) チップコーナー部の AI 配線幅に制限を加え、幅の広い AI 配線を配置しない。

### 4.3.5 フィラー誘起の故障メカニズム

#### (1) 概要

樹脂には、強度の確保とチップの熱膨張係数に近づけるためにフィラーが混ぜられています。100  $\mu\text{m}$  程度のフィラーがチップ表面にモールドされた場合、温度サイクルなどによりフィラーがチップ表面を押し、チップ表面にダメージを与えて故障を誘発する場合があります。

#### (2) 現象

樹脂中に大型でとがった形状のフィラーが混ぜられていた場合、高温でモールド中（樹脂溶融中）はチップ表面にフィラーが接触していても、フィラーがチップにダメージを与えることはありません。

その後、次第にフィラー周辺の樹脂が硬化収縮します。図 4.40 のようにとがった形状の先端がチップ表面に向いていた場合、樹脂の収縮に伴いとがった先端がチップ表面に向かって変位（移動）します。その後、温度が下がると周辺の樹脂がさらに収縮します（樹脂の熱膨張係数はフィラーの数倍）。さらに温度サイクルにより低温となった場合、樹脂がさらに収縮し、フィラーの尖った先端がチップ表面に向かって押し出されます。その変位量がチップ表面の保護層の厚さを超えると、チップ表面の回路がダメージを受け故障します。フィラー先端の変位量はフィラーのサイズと相関があり、小さいフィラーは変位量が小となります。フィラーが球形の場合はフィラーが樹脂を破って変位することはありません。一般にこのような問題を解決するため、大型フィラーは球形化するとともに、一定を超えるサイズのフィラーを除去することが有効とされています。

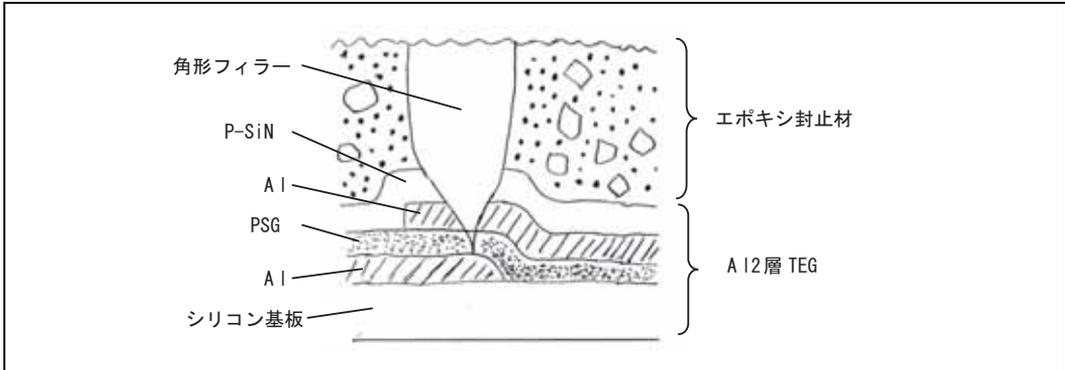


図 4.40 半導体デバイスのチップ表面近傍の断面

### (3) まとめ

フィラー誘起の故障は、樹脂封止型の半導体デバイスでは潜在的に発生する可能性を有しています。このため、フィラーの球形と寸法のフィルタリングの実施により半導体チップが受けるダメージを軽減することが重要と考えられます。

## 4.3.6 ウィスカ

電子部品の基板実装に用いられるはんだは、環境対応のために鉛を可能な限り排除する鉛フリー化が進められています。しかし、めっきの信頼性の面では、鉛は錫のウィスカを防止する効果が大であることから、鉛フリー化には錫ウィスカに対する市場での許容値や試験条件を含めた対応が求められています。錫ウィスカ発生メカニズムは現在まで十分に明確とはなっていませんが、ウィスカ成長（図 4.41 参照）に関係のある環境加速因子としては「温度」「湿度」「応力」があることが経験的に知られており、現在知られているウィスカ発生に至るメカニズムは一般的に以下のように考えられています。

リード母材が Cu で Sn めっきの場合、Cu の拡散により  $\text{Cu}_6\text{Sn}_5$ 、 $\text{Cu}_3\text{Sn}$  という 2 種類の金属間化合物が成長します。このうち  $\text{Cu}_6\text{Sn}_5$  は常温において Cu より体積が大きく体積変化がウィスカ発生の圧縮応力となり、針状に Sn を成長させるものと考えられます。また、高温度下では  $\text{Cu}_3\text{Sn}$  の体積は Cu より小さいことから相対的に  $\text{Cu}_6\text{Sn}_5$  の体積膨張によるウィスカ発生の抑制因子になり、常温でのウィスカ発生が促進されるものと考えられます<sup>(41)</sup>。

ウィスカ発生の防止には以下のようなものが主に用いられます。

- (1) 鉛の代替元素の添加 (Bi、Cu、Ag等)
- (2) めっきの厚膜化
- (3) めっき後の熱処理
- (4) 下地めっき処理

## 4. 半導体デバイスの故障メカニズム

---

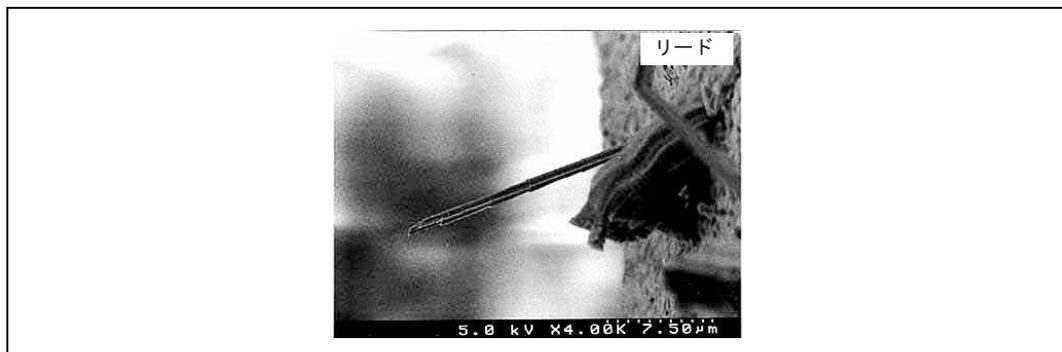


図 4.41 ウィスカ発生例

### 4.3.7 樹脂封止半導体デバイスの耐湿性

#### (1) 概要

半導体デバイスは樹脂封止タイプのパッケージが一般に用いられています。開発当初は、樹脂封止デバイスは Al 電極配線の腐食やリーク電流増加などの耐湿性が問題で発生していましたが、現在はそのレベルは飛躍的に改善されています。

本項では、樹脂封止デバイスの耐湿性について、故障メカニズム、バイアス印加によるデバイス寿命の影響、実使用条件との加速性、そして評価方法について述べます。

#### (2) 故障メカニズム

##### (a) 水の浸入経路

樹脂封止デバイスにおける水の浸入経路は、次の2点が考えられます。一つは樹脂を直接透過しチップ表面に至る経路で、樹脂の吸湿、透過（水の拡散現象）です。またもう一つは樹脂とリードフレームとの界面を通った後、樹脂と金線界面を経由してチップ表面に至る経路です（図4.42）。後者の場合、パッケージ表面に付着した不純物（フラックス、洗浄液など）を含んだ腐食性水溶液となり、チップ表面の露出した Al 電極や配線を腐食させます。

従来から、この2つの経路のいずれが主であるかについて種々の報告がなされており<sup>(49)(52)</sup>、これらは使用される樹脂材料、フレーム材質、パッケージ構造などに大きく影響されます。最近では、リードフレームと樹脂との密着性が改善された結果、フレーム界面よりも樹脂中を透過する経路が主になっています。

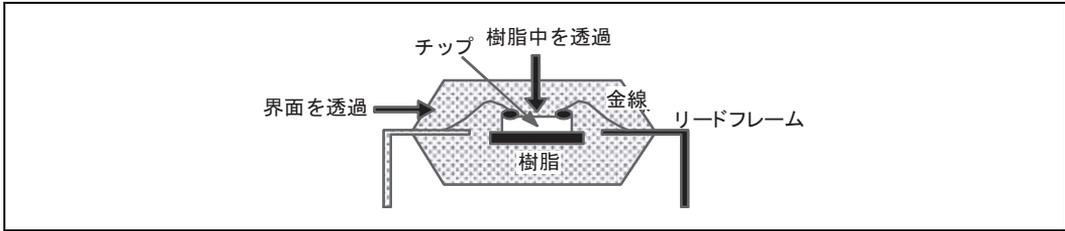


図 4.42 樹脂封止デバイスにおける水の浸入ルート

## (b) Al の腐食

高温高湿放置の場合、チップ表面に達した水はボンディングパッド部およびピンホールやクラックのあるパッシベーション欠陥部で露出した内部配線パターンのAlを腐食（孔食と言う場合もある）させることがあります。この場合、放置時間を延長しても急激な故障の増加はみられず、製造ばらつき等によるパッケージまたはチップの初期欠陥が原因と考えられます。チップ表面と樹脂封止との接着界面が剥離した場合や、チップ表面が汚染されている場合も同じ故障パターンになることが確認されています。

Alの腐食モードとして図4.43に示す虫食い状と帯状の2種類があり、塩素等の不純物を含んだpH4以上の水がAlの結晶粒界などから浸入してきたために腐食が発生したと推定されます。

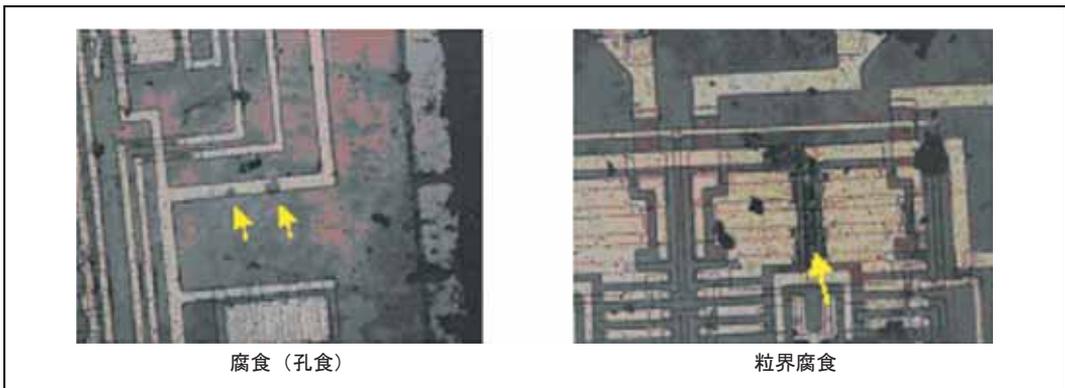
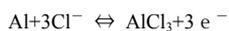
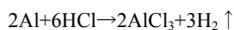
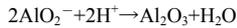
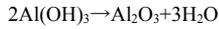
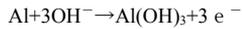
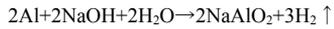
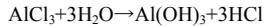


図 4.43 高温高湿放置の場合の Al 腐食

Alは、化学的に非常に活性な金属であり、乾燥した空气中に放置するとその表面層にアルミナ( $\text{Al}_2\text{O}_3$ )を形成します。この $\text{Al}_2\text{O}_3$ は、表面保護膜として働くため、それ以上の反応は進行しません。一方、十分な水が存在する場合は、水酸化アルミニウム( $\text{Al}(\text{OH})_3$ )を生成します。この $\text{Al}(\text{OH})_3$ は、両性であり、酸でもアルカリにでも溶ける性質があります。したがって、不純物を含む水には溶けやすい。代表的なAlの腐蝕反応は次のとおりです<sup>(42)</sup>。



#### 4. 半導体デバイスの故障メカニズム



次に、高温高湿バイアスで検出されるAlの腐食は、陽極、陰極側で同時に発生し、Al配線の所々にAl金属光沢が残っていることが多く、これらの腐食はモードとしては、陽極側のAl配線に発生する腐食（孔食）と、陰極側において結晶粒界から腐蝕が進行する腐食（粒界腐食（ウロコ状の腐食））に分けることができます（図4.44参照）。孔食では腐食故障し始めると比較的短時間にほぼ全数が摩耗して故障し、その故障発生時間は樹脂の吸湿時の体積抵抗率と相関があることが確認されています。また粒界腐食（ウロコ状の腐食）は陰極側だけを選択して腐食していることが多いです。

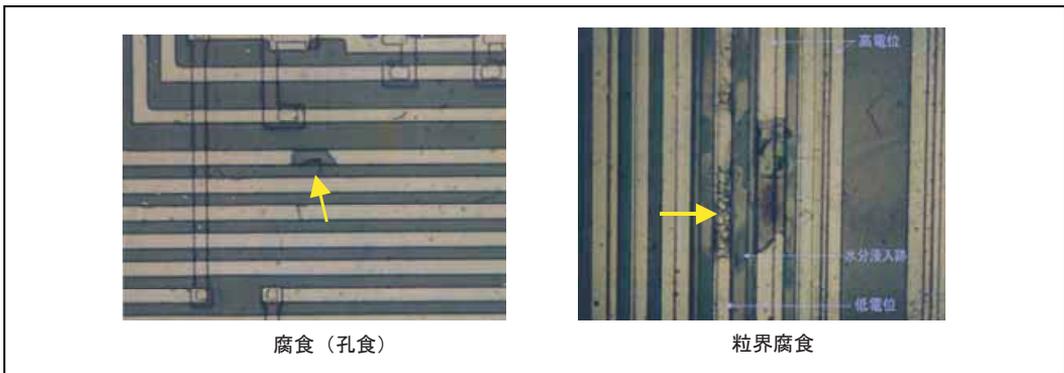


図 4.44 高温高湿バイアスの場合の Al 腐食

##### (c) 樹脂の吸湿によるチップ表面リーク

樹脂の吸湿によるチップ表面リーク電流の原因として次の2点が挙げられます。

- 樹脂の吸湿による絶縁抵抗劣化
- チップと樹脂界面との隙間に水膜形成

リーク電流が5pA以下の場合、樹脂の吸湿による絶縁抵抗劣化によるものが支配的であるが、5pA以上の場合にはチップ表面の電極配線間に電位差があるとその間に電荷が漏れ、酸化膜上に電位を生じさせることがあります。特に、MOSデバイスなどの表面を活用しているデバイスは、この表面電位の発生によって酸化膜下のSi基板の表面が反転して、寄生MOS FETのドレイン・ソース間に電流が流れ、リーク電流増加の原因になることがあります。その説明を図4.45に示します。

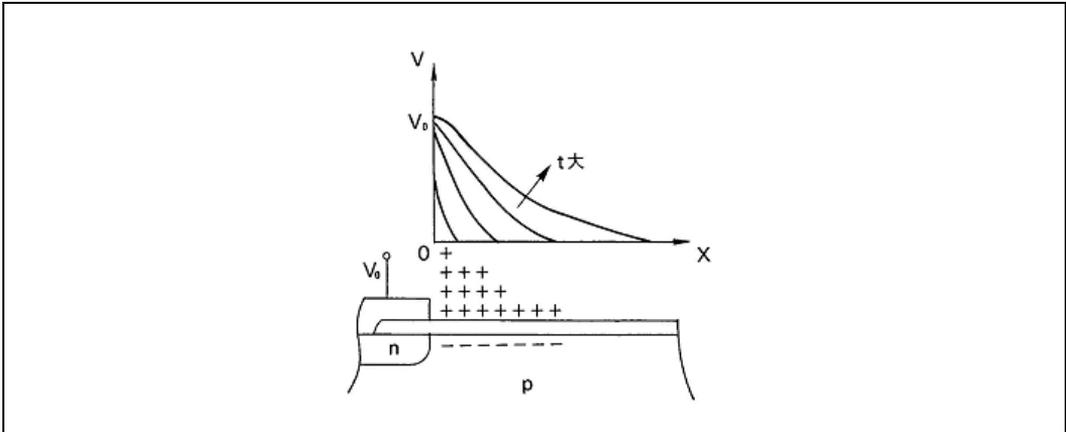


図 4.45 表面電荷広がり現象

(d) 耐湿性へのバイアス印加状態および印加電圧値の影響例

最後に、樹脂封止バイポーラデバイスを用いて、耐湿性へのバイアス印加状態および印加電圧値の影響を調べた結果を図4.46、図4.47に示します<sup>(43)(44)</sup>。デバイスの寿命は、バイアス印加状態および印加電圧値に大きく影響されることがわかります。なお、陰極側に発生する粒界腐食の一つのモデルとして、次の反応式が考えられます<sup>(45)</sup>。

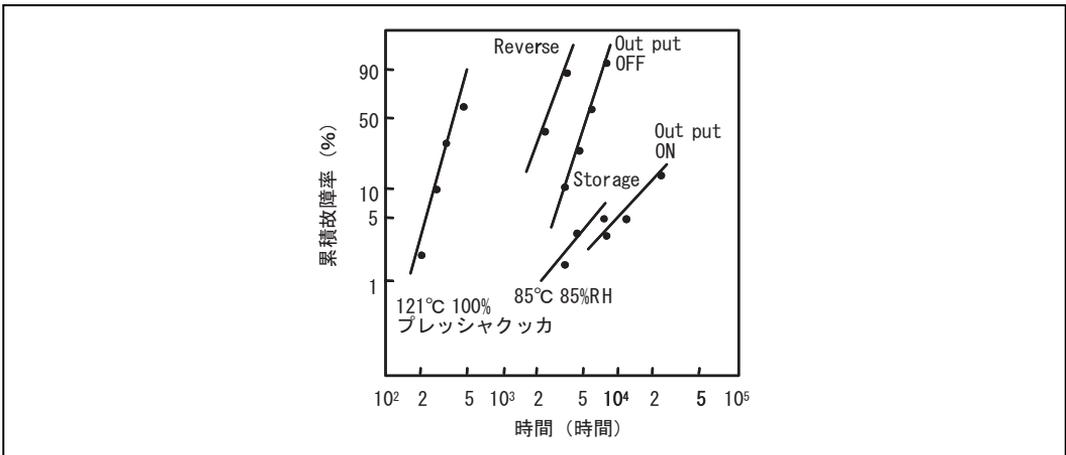
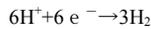
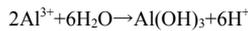
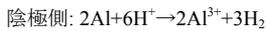
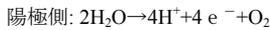


図 4.46 バイアス印加状態の影響

#### 4. 半導体デバイスの故障メカニズム

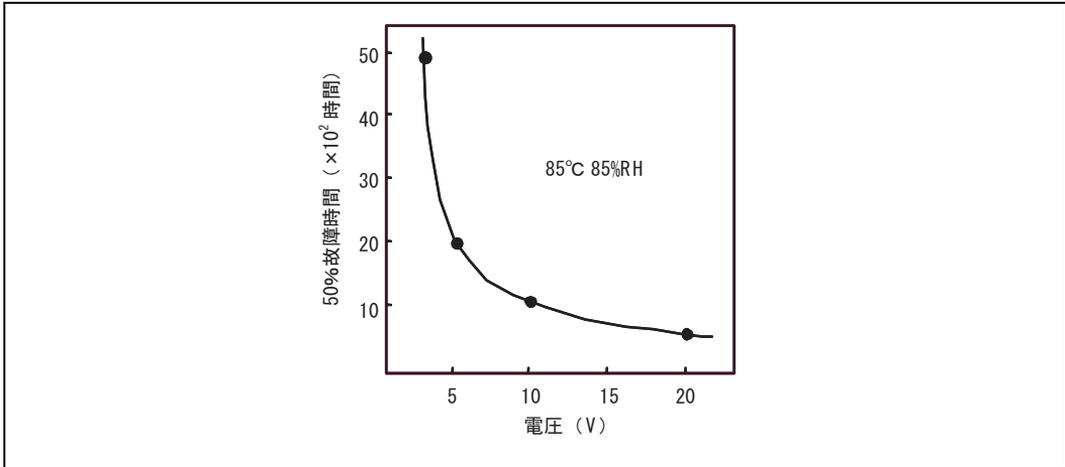


図 4.47 バイアス印加電圧値の影響

#### (3) 実使用条件との加速性

耐湿性試験データより、樹脂封止デバイスの信頼度を予測する加速モデルがいくつか報告されています。

- (a) 平均寿命 MTTF は、接合部温度  $T_j$ (K)と相対湿度 RH(%)との影響を個々に受けます<sup>(46)</sup>。

MTTFと $T_j$ との関係:アレニウスモデルに従います ( $E_a \approx 0.8 \text{ eV}$ )。

MTTFとRHとの関係: $\log \text{MTTF}$ と $\log \text{RH}$ とは直線関係にあります。

これらは相対湿度モデルと呼ばれ、次式で示されます。

$$\text{MTTF} \propto \exp(\Delta E/kT) \cdot \text{RH}^{-n}$$

$k$ はボルツマン定数、 $T$ は絶対温度、 $n$ は定数で $n=4\sim 6$ を使用

- (b) 一定の累積故障率に至るまでの時間  $t$  は、水蒸気圧  $V_p$  に関係します<sup>(47)~(49)</sup>。これは絶対水蒸気圧モデルと呼ばれ、次式で示されます。なお、 $m$  は定数で  $m \approx 2$  を使用します。

$$t \propto V_p^{-m}$$

図4.48に $m=2$ である場合の加速性の一例として各温湿度における相対寿命時間の関係を示します。

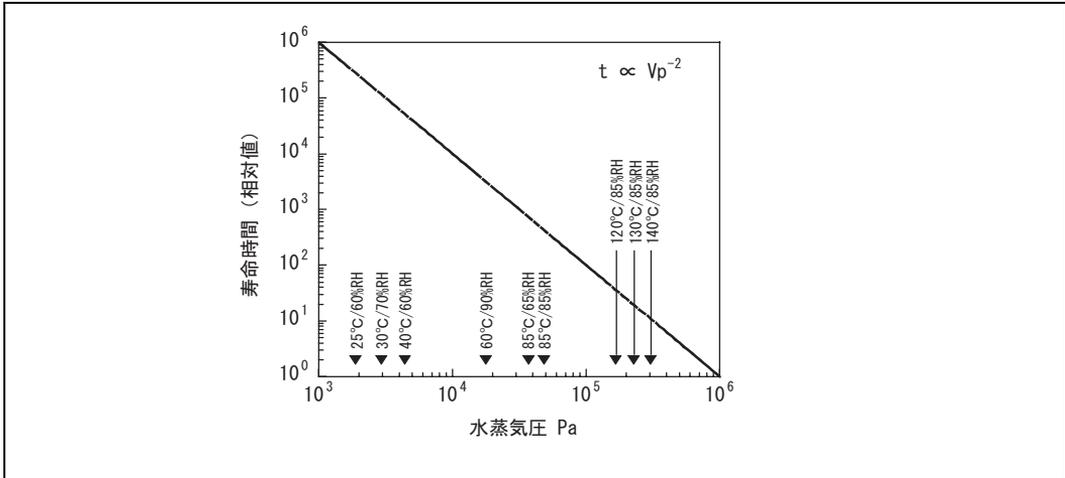


図 4.48 加速性の一例

上記のように、種々の加速モデルが提案されていますが、加速性は樹脂材料、パッケージ構造、メタライゼーション、パッシベーションなどで異なり、一般的な加速係数を求めることは非常に困難です。

#### (4) 耐湿性の評価方法

耐湿性の評価方法として種々の方法があり、その目的に応じて適切な方法が適用されています。主な試験方法を表 4.5 に示します。高温高湿保存試験、高温高湿バイアス試験、プレッシャクッカ保存試験、プレッシャクッカバイアス試験（主に不飽和条件。HAST 試験：Highly Accelerated Temperature and Humidity Stress Test という場合もあります）があります。そして、さらに、これらの組み合わせ試験を行う場合もあります。

また、表面実装型デバイス（SMD）の普及により、吸湿と熱ストレスとのシリーズ試験を前処理として実施した後、上記耐湿性試験を実施する評価方法が一般的になってきました。これは SMD が基板に実装される場合、赤外線(IR)リフローなどの実装方法が用いられ、この実装でデバイス全体に熱ストレスが印加され樹脂とリードフレーム界面またはチップ表面と樹脂封止との接着界面で剥離が発生することにより、耐湿性寿命の低下の原因になります。このように SMD の耐湿性レベルを確認するため、吸湿と熱ストレス試験とを前処理として行う評価方法が実施されています。

## 4. 半導体デバイスの故障メカニズム

表 4.5 主な耐湿性評価方法

評価方法	条件の一例	特長
①高温高湿保存	85°C/85%RH	実使用条件との相関がかなりある。 評価に長時間を必要とする。
②高温高湿バイアス試験	85°C/85%RH/バイアス印加	実使用条件との相関がかなりある。 評価に長時間を必要とする。
③プレッシャクッカ保存試験*	130°C/85%RH	実使用条件との相関がかなりある。
④プレッシャクッカバイアス試験 (HAST)	110°C/85%RH/バイアス印加 120°C/85%RH/バイアス印加 130°C/85%RH/バイアス印加	実使用条件との相関がかなりある。 バイアスの影響を評価出来る。

【注】\* 飽和型プレッシャクッカ保存試験（100%RH）は市場との相関性に問題があり、推奨出来ない。

### (5) まとめ

樹脂封止デバイスの実使用条件での耐湿性を確認するために、種々の加速試験が用いられています。最近では、耐湿性のレベルは飛躍的に改善されており、実使用上ほとんど問題のないレベルに達しています。

## 4.4 実装プロセスに起因および実使用中に発生する故障メカニズム

### 4.4.1 表面実装パッケージのリフロー実装時のパッケージクラック

#### (1) 概要

近年の電子機器の薄型化、小型化、軽量化、多機能化にともない、部品の表面実装による高密度化は必要不可欠な技術として定着しており、半導体も表面実装パッケージが主流となっています。

表面実装パッケージのはんだ付け方法には、はんだ付け部のみを加熱する部分加熱法とプリント配線板や部品を一括して加熱する全体加熱法とに大別することが出来ます。全体加熱法には、リフロー法とフローソルダリング法があります。<sup>(50)(51)</sup>

#### ● リフロー法

遠赤外線リフロー法、温風リフロー法(エアリフロー法)、両方を併用したリフロー法があります。

赤外線リフロー法は、デバイスを実装した配線基板全体に赤外線を照射し、はんだ付けをする方法です。多数の部品を同時にはんだ付けをすることが可能なため量産向きです。ただし、赤外線源のみでは温度差が生じる欠点があります。この欠点を補うために温風での加熱を併用する装置が普及しています。

温風リフロー法(エアリフロー法)は、温風を炉内に循環させ、はんだリフローを行う方法です。特長として、基板や部品の温度差が小さく、一定温度以下に制御出来ます。

#### ● フローソルダリング法

配線基板に接着剤で部品を仮止めし、部品面を下にして溶融したはんだ(フローソルダー)中を通過させ、はんだ付けをする低コストのはんだ付け方法です。ただし、デバイスの形状や寸法によっては、はんだ付けができない場合があり、高密度実装には適していません。

この全体加熱法は、はんだ付け部のみならずパッケージ本体も高温に加熱します。実際の実装温度は210°Cを超える温度に達し、大きなストレスが表面実装デバイス本体に加えられます。この結果、実装工程で表面実装デバ

イスに発生する信頼性上の問題点として次の3点が考えられます。

- パッケージの樹脂クラック
- 耐湿性低下
- ワイヤボンディング強度への影響

これらの表面実装デバイスを用いた実装後の信頼性を確保するためには、デバイスの保管から実装までの各段階において特別な管理が必要になっています。

## (2) パッケージクラック

パッケージクラックはパッケージの吸湿と実装時の加熱の組み合わせで起こります<sup>(52)(53)</sup>。図 4.49 のように、吸湿は倉庫などでの保管時に起こり、雰囲気中の水蒸気が樹脂中に拡散し、樹脂内に水分が多量に含有されます。この吸湿したパッケージをリフロー炉で加熱した時、樹脂とダイパッドの接着力低下と同時に、材料間の熱膨張係数差による剪断力が発生するため微小な界面剥離が起こります。また、高温時には、水蒸気の拡散速度が上昇するため樹脂中から剥離部に水蒸気が吹き出し、剥離部の圧力上昇に伴い剥離範囲が拡大しながら次第に樹脂が膨れます。この膨れる過程でダイパッドの辺部に応力が集中し、樹脂にクラックが入ります。発生する応力はダイパッド裏面近傍の含有水分量、ダイパッドのサイズ、加熱温度および時間に左右されます。

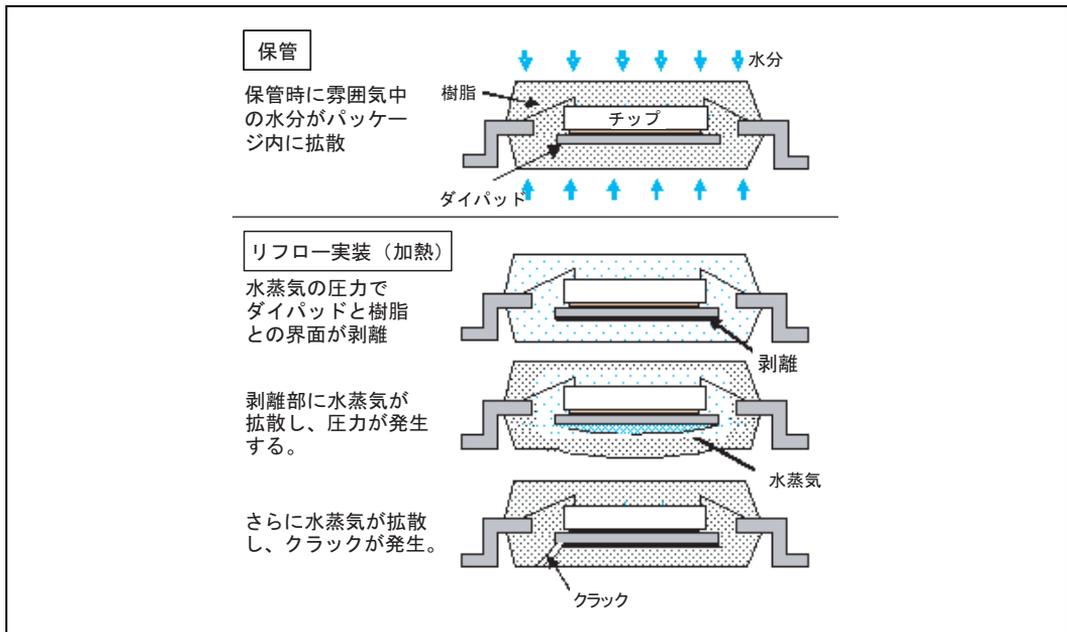


図 4.49 リフローはんだ付け時のクラック発生モデル<sup>(54)</sup>

以上は、パッケージ裏面部のクラックの例ですが、同様にチップ表面が膨れてパッケージ表面側にクラックが発生する場合があります。

#### 4. 半導体デバイスの故障メカニズム

##### (3) パッケージ内部の含有水分解析

ダイパッド裏面、チップ表面近傍の樹脂の含有水分がはんだ熱で再拡散することにより、パッケージクラックが起きます。パッケージクラックの発生を予測するためには、これらの含有水分を求める必要があります。ここでは、図 4.50 のようにパッケージ外周部からダイパッド裏面、チップ表面に向かって水分が拡散するモデルを用います<sup>(55)(56)(57)(58)(59)</sup>。

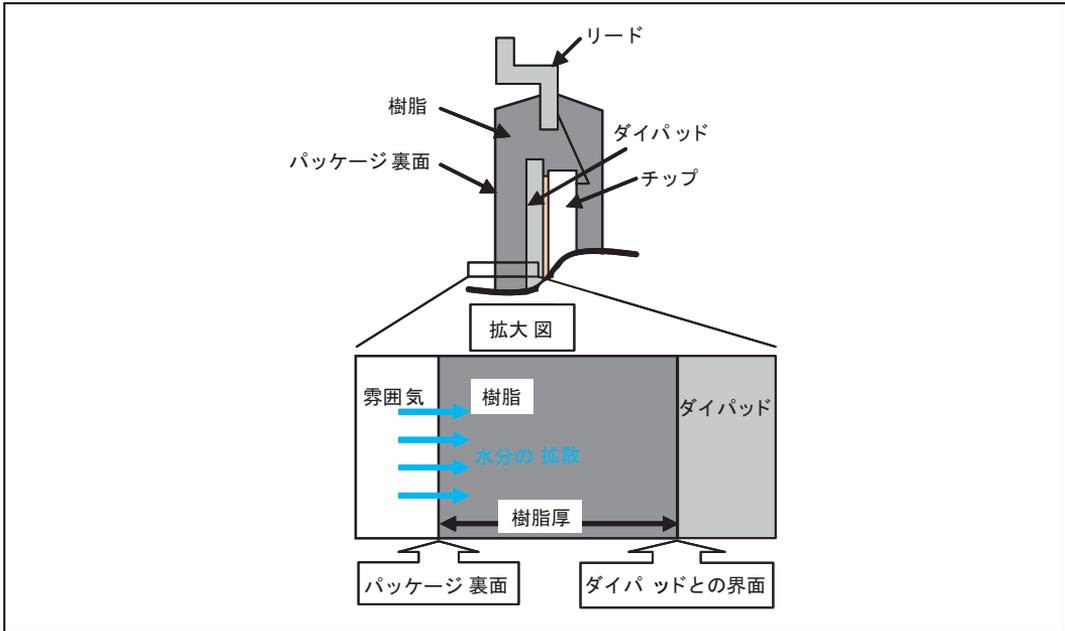


図 4.50 加湿時の水分拡散モデル <sup>(54)</sup>

パッケージ内部の吸湿水分濃度（単位体積あたりの含有水分量）は、Fick の拡散方程式を解いて求めることが出来ます。樹脂の厚さ方向（中心からの距離を  $x$ ）の一次元拡散モデルの場合には、以下の方程式が成り立ちます。

$$\frac{\partial C(x,t)}{\partial t} = D \frac{\partial^2 C(x,t)}{\partial x^2} \quad (4-4-1)$$

ただし、 $C(x,t)$  : 座標  $x$ 、時間  $t$  における樹脂の水分濃度

$D$  : 拡散係数

(4-4-1) 式に吸湿前後の境界条件を与えると解が求められます。この解からパッケージ内部の吸湿水分濃度を求めることが出来ます。保管雰囲気の温湿度条件で決まる樹脂の飽和水分濃度を  $Q_s$ 、ダイパッド下（またはチップ上）の樹脂の厚さを  $d$  とすると、ダイパッド裏面（またはチップ表面）近傍樹脂の水分濃度  $C(0,t)$  は

$$C(0,t) = Q_s \left[ \frac{4}{\pi} \sum_{n=0}^{\infty} \frac{(-1)^n}{2n+1} \exp\left(-\frac{(2n+1)^2 \pi D \cdot t}{4d^2}\right) \right] \quad (4-4-2)$$

となります。(4-4-2) 式の指数の項は吸湿の速度を表しており、その速度は樹脂の厚さ  $d$  の 2 乗に反比例するため、薄いパッケージほど短時間で吸湿が進みます。

また、 $P$  を水蒸気圧とすると、 $Q_s$ 、 $D$  は

$$Q_s = P^n S_0 \exp(E_s/kT) \quad (4-4-3)$$

$$D = D_0 \exp(E_d/kT) \quad (4-4-4)$$

と表せます。(4-4-3)式、(4-4-4)式中の  $n$ 、 $S_0$ 、 $E_s$ 、 $D_0$ 、 $E_d$  は封止樹脂ごとに異なる定数であり、樹脂片の吸湿データを解析して求めることができます。

図 4.51 は、樹脂厚（パッケージ裏面からダイパッド裏面までの樹脂の厚さ）が 1mm である場合の吸湿の進行過程を計算した例です。時間とともにダイパッド付近の水分濃度が増加し、この例では 2000 時間で吸湿が飽和しています。

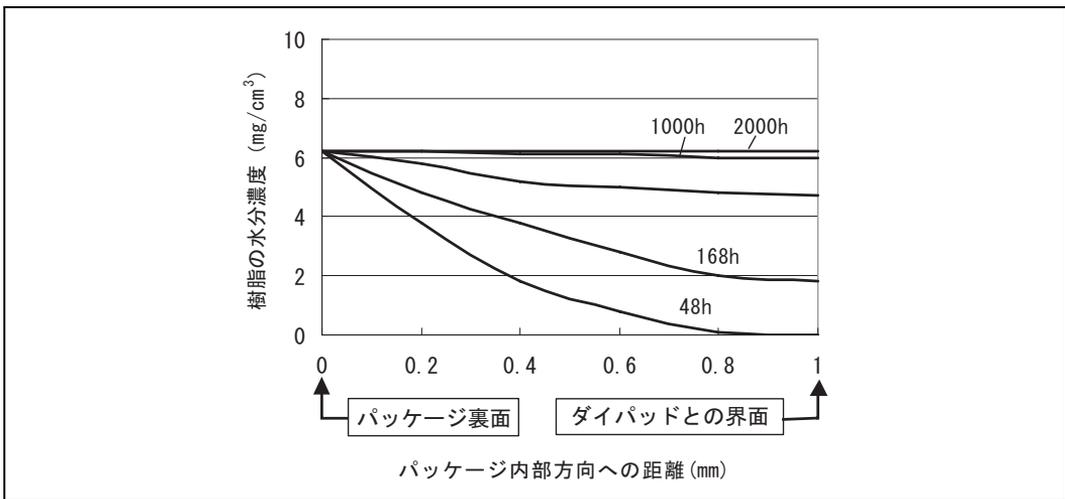


図 4.51 樹脂厚が 1mm の場合の吸湿進行過程を計算した例<sup>(54)</sup>

#### (4) クラック発生と内部水分量の依存

パッケージの吸湿の指標として吸湿率 (wt%) を用いることがあります。吸湿率は十分にバークして乾燥したパッケージの重量  $W_0$ 、吸湿後の重量  $W_1$  を測定することにより、以下(4-4-5)の式で求められます。

$$\text{吸湿率} = \frac{W_1 - W_0}{W_0} \times 100 \text{ (wt\%)} \quad (4-4-5)$$

しかし、吸湿率はパッケージ全体の重量変化から求めたものであり、クラックを引き起こすダイパッド裏面部などの水分濃度とは必ずしも一致しません。クラックを引き起こすのは、ダイパッド裏面またはチップ表面近傍の水分であり、吸湿率のみによる判断では大きな誤りが生じる場合があるので、以下の例のような問題点を十分に理解しておく必要があります。

例えば、乾燥したパッケージが次第に吸湿していく過程（吸湿途中段階）では、図 4.52 (a) のようにパッケージ外周部は多量に吸湿するが、ダイパッド裏面には十分に水分は到達していません。吸湿率はパッケージ外周部からダイパッド裏面までの水分濃度の平均値に相当するので、吸湿率が高くてもダイパッド裏面の水分濃度は低い状態となります。

#### 4. 半導体デバイスの故障メカニズム

次に、室内に長期間保管し、吸湿が飽和（吸湿率の増加が止まった状態）すると図 4.52 (b) のようにダイパッド裏面に十分な水分が到達します。

さらに、室内に長期間保管し十分に吸湿したパッケージを乾燥雰囲気中またはベーキングにより乾燥する過程（乾燥途中段階）では、図 4.52 (c) のようにパッケージ外周部は乾燥するが、ダイパッド裏面には多量の水分が残っています。

図 4.52 の (a)、(b)、(c) は、吸湿過程が異なる場合、吸湿率（面積に相当）は同じであっても、内部の水分量が違うため、クラックに対する危険度が全く異なる場合があることを示します。実際に吸湿過程(a)と脱湿過程(c)とでクラックの発生する吸湿率の調査結果を図 4.53 に示します。この結果からも脱湿過程(c)の方が低い吸湿率でクラックが発生し、クラックの発生は全体の吸湿率ではなく内部の水分量に依存することが確認出来ます。

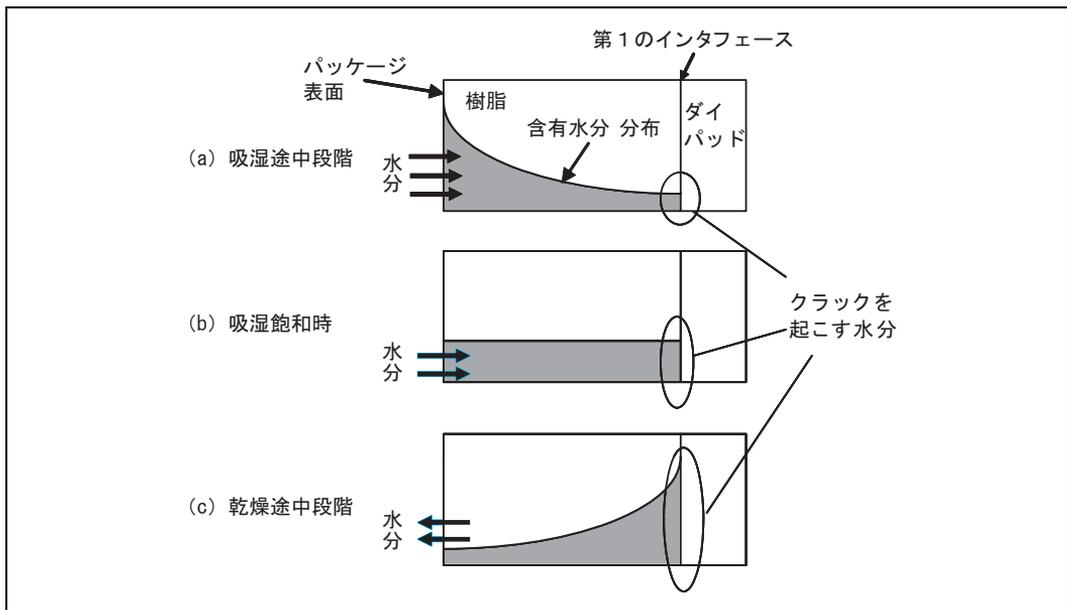
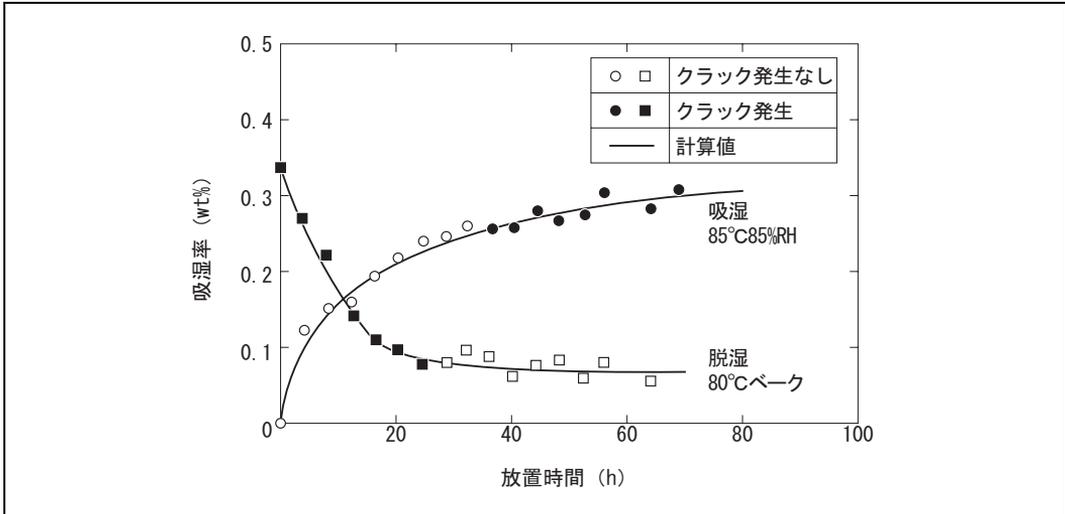


図 4.52 各状態におけるパッケージ内部の水分分布（吸湿率が同程度の場合の比較）

図 4.53 吸湿および乾燥時の吸湿率の推移と VPS 加熱結果<sup>(66)</sup>

#### (5) クラック発生対策とクラックの観察方法

パッケージクラックの発生要因を簡略化した式は、次のようになります。

$$P \propto W \cdot H^2 \cdot \sigma_{FB}/L_V \quad (4-4-6)$$

ここで、P は実装時の加熱によりダイパッド裏面またはチップ表面近傍の水分により発生した応力、W はダイパッド端からパッケージ端までの最小長さ、H はダイパッド下の樹脂厚、 $L_V$  はダイパッド長さ、 $\sigma_{FB}$  はパッケージ樹脂の曲げ強度です。

式(4-4-6)において、発生する応力 P が右辺の限界値を超えたときパッケージクラックが発生します。式 3-6 の右辺の値が大きくなります、また左辺の水蒸気化による応力が小さくなるとパッケージクラックを抑制できます。対策としては、以下の 4 点があります。

- パッケージ樹脂の低吸湿化
- パッケージ樹脂の高温時の曲げ強度および靱性を向上させる
- パッケージ樹脂を低応力化し、熱変化に対して界面応力を低減する
- パッケージ樹脂とチップ・フレームとの密着力を向上させる

次に、パッケージの樹脂クラックの観察方法について述べます。クラックの程度が著しい場合は、外部まで進行するため実体顕微鏡で観察することが出来ます。しかし、樹脂とチップ、フレームとの剥離やクラックが外部まで進行していない場合やクラックが微細な場合もあり注意が必要です。一般的な観察方法には次の 4 点があります。

- 顕微鏡による外部クラックの観察 (図4.54)
- 断面研磨による内部クラック・剥離の観察 (図4.55)
- 超音波探傷(SAT)による内部クラック・剥離の観察 (図4.56)

#### 4. 半導体デバイスの故障メカニズム

観察するデバイスを水中に保持し、そのデバイスに超音波ビームを照射し、反射波を受信し映像化する方法です。非破壊で観察することが可能です。<sup>(60)(61)</sup>

- 蛍光浸透法によるクラック・剥離の観察

蛍光浸透液をパッケージに浸透させた後、断面研磨を行う。この断面を紫外線（蛍光）顕微鏡で観察することでクラック・剥離の観察を行います。本方法は非常に感度が高いため、微細なクラック・剥離に対して有効です。

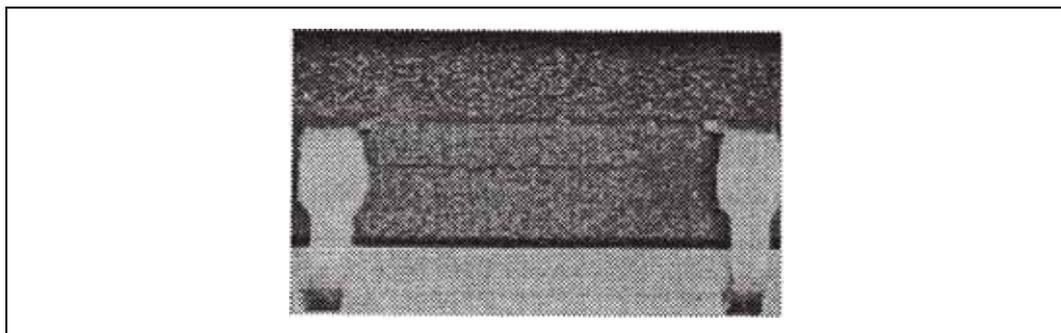


図 4.54 顕微鏡による外部クラックの観察例

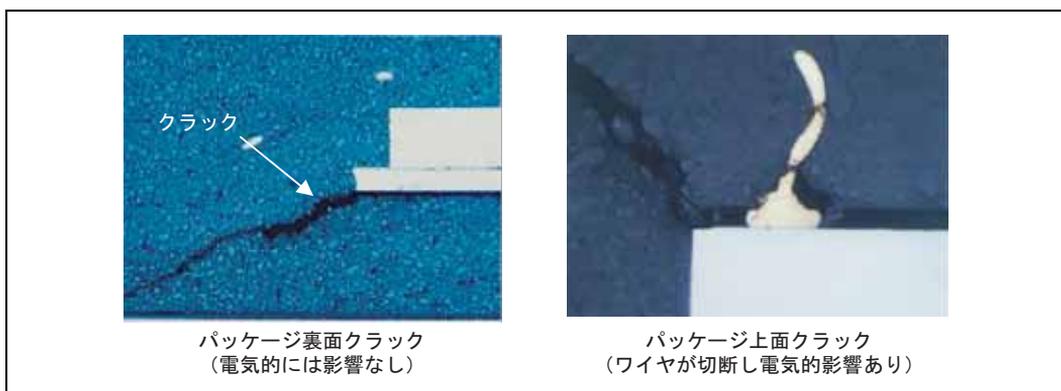


図 4.55 断面研磨による内部クラック・剥離の観察例<sup>(59)</sup>

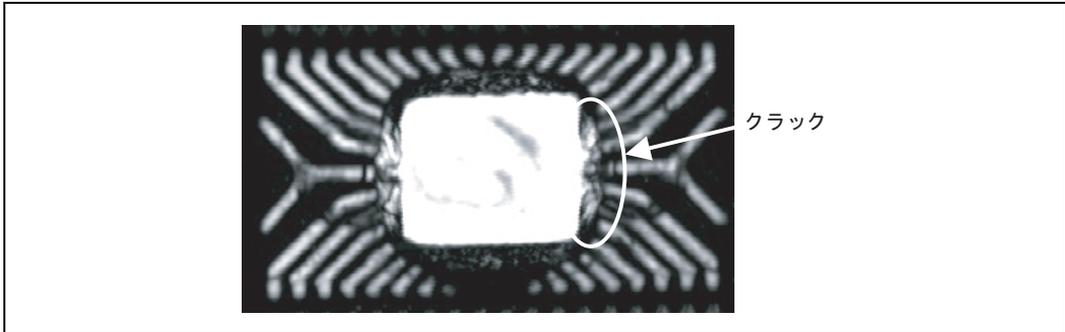


図 4.56 超音波探査映像装置による内部クラック・剥離の観察例

## (6) パッケージクラックが起こす問題点

パッケージクラックには表 4.6 のようにさまざまな種類が予想され、その種類により品質上の問題点も異なります。この中で、発生割合が高いパッケージ裏面クラックは、ダイパッド裏面の剥離による樹脂の膨れ部がプリント配線板を押し、パッケージがずれることによりはんだ付け不良を起こす場合がありますが、耐湿性の劣化の可能性は低く、最もダメージの小さい形態です。

弊社のパッケージ構造の場合、チップ・樹脂間の接着性がダイパッド・樹脂間より強いため、ダイパッド側のほうがはがれやすいです。これによりダイパッドを起点とする裏面クラックが発生します。

表 4.6 パッケージクラックの種類と問題点<sup>(59)</sup>

No.	パッケージクラックの種類	形状	問題点
1.	パッケージ裏面クラック		<ul style="list-style-type: none"> <li>耐湿性劣化 (劣化の度合いは極めて小さい)</li> </ul>
2.	パッケージのサイドクラック		<ul style="list-style-type: none"> <li>耐湿性劣化 (劣化の度合いは小さい)</li> </ul>
3.	ボンディングワイヤと交差したクラック		<ul style="list-style-type: none"> <li>ワイヤのダメージ、断線</li> <li>耐湿性劣化</li> </ul>
4.	パッケージ上面クラック		<ul style="list-style-type: none"> <li>ワイヤのダメージ、断線</li> <li>ワイヤボンディング部の圧着はがれ</li> <li>耐湿性劣化</li> </ul>

#### 4. 半導体デバイスの故障メカニズム

##### (7) 実装時の改善策

表面実装デバイスでは、製造後の取り扱いおよび保管の管理が非常に重要であることはすでに述べましたが、環境の管理だけでは不十分です。保管によりパッケージは吸湿し樹脂のクラックが発生するため、保管時間の管理および実装前ベークが必要です。図 4.57 は、ベークした場合のパッケージの脱湿特性を示します。このケースでは、125°C、20~24 時間程度のベークで十分脱湿されることがわかります。樹脂厚により 125°Cでの脱湿に必要な時間は異なります。また、物流期間での吸湿を避けるための防湿包装も効果的であり、図 4.58 に示すように外部からの影響を十分遮断することが出来ます。

以上の吸湿管理を行った上で、さらに実装時の温度をできるだけ低く、かつ短い時間で行うことが信頼性を確保する上で重要となります。

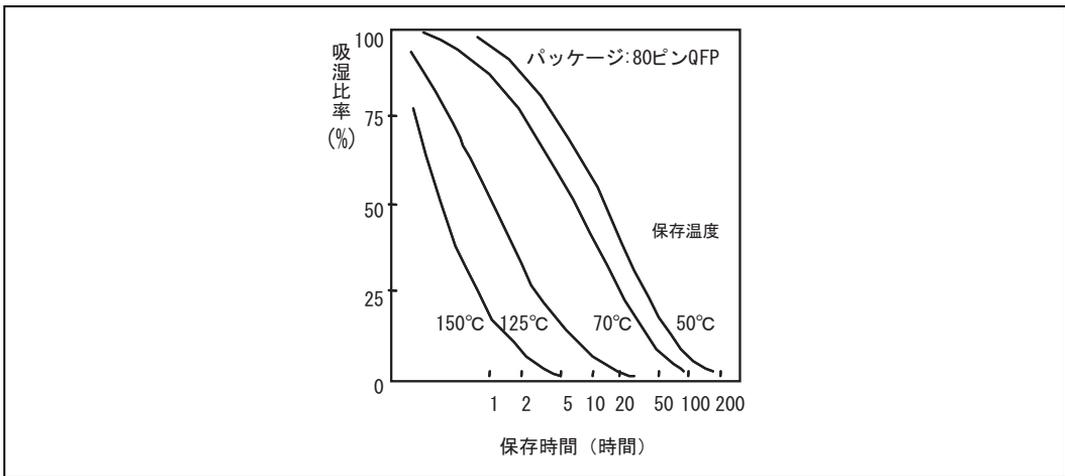


図 4.57 プラスチックパッケージの脱湿

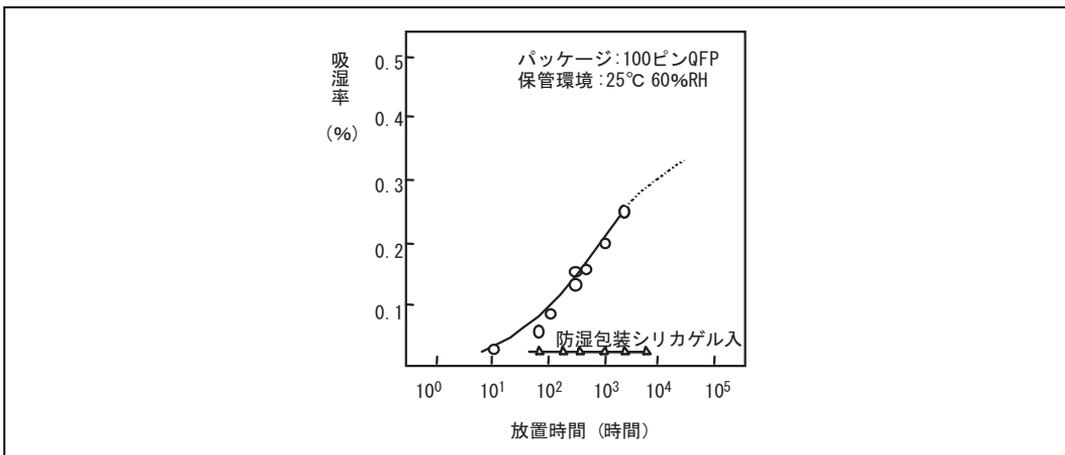


図 4.58 防湿梱包の効果

## (8) パッケージの耐熱性試験方法

面実装形パッケージの耐熱性確認のためには、保管中に進行する吸湿を加湿処理により再現し、その後、はんだ付け時に起こる熱ストレスに相当する条件で加熱処理する必要があります。

## (a) 加湿処理について

表4.7のように防湿包装開封時の可能保管条件を設定（レベルAからレベルS）し、これに対応した加湿条件で吸湿後に耐熱性評価を実施します。各製品が満足できるレベルは品種ごとに異なります。

表 4.7 防湿包装開封時の可能保管条件を設定

ランク*1	JEDEC*2	加湿条件	管理区分	開封後の保管条件
A	1	85°C,85%,168 時間保存	防湿梱包不要	30°C以下 85%以下
B	2	85°C,65%,168 時間保存	開封後 1 年以内	
C	2a	30°C,70%, (4 週間+X) 保存*3	開封後 4 週間以内	
D	—	30°C,70%, (2 週間+X) 保存*3	開封後 2 週間以内	30°C以下
E	3	30°C,70%, (1 週間+X) 保存*3	開封後 1 週間以内	70%以下
F	4	30°C,70%, (72 時間+X) 保存*3	開封後 3 日以内	
G	5	30°C,70%, (48 時間+X) 保存*3	開封後 2 日以内	
S	6	30°C,70%, (Y+X) 保存*3	開封後 Y 日以内	

【注】 \*1 JEITA 規格 EIAJ ED-4701/301 「はんだ耐熱性試験（SMD）」に準拠する

\*2 各吸湿保証ランクに対応した JEDEC-STD-020 でのレベル、ただし吸湿条件は 30°C、60%

\*3 X：アセンブリ工程完了後の防湿梱包までの保管時間と梱包中での保管期間を考慮した時間

Y：お客様での開封後の保証保管時間

## (b) 加熱処理について

加湿処理を行った上で、実装時の熱ストレスを模擬したリフローによる加熱処理を実施し、不具合がないことを検証しています。その加熱処理条件を図4.59、4.60に示します。この条件を超えない条件での実装が必要です。

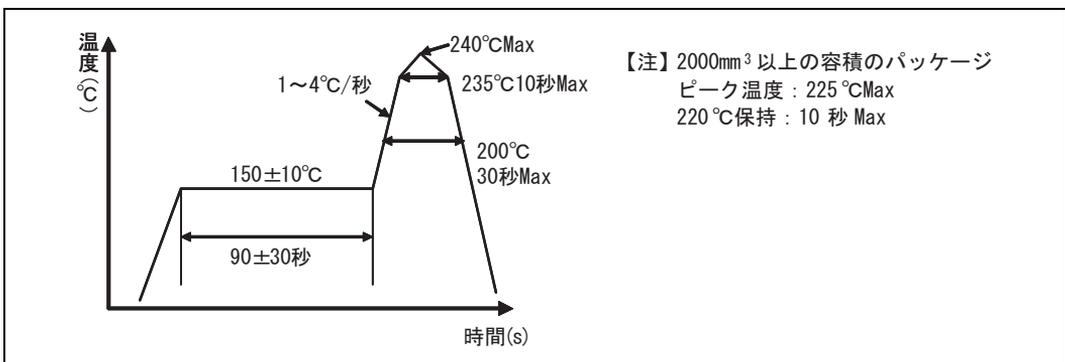


図 4.59 表面実装デバイスの共晶ペースト対応のリフロー加熱条件（パッケージ表面温度）

#### 4. 半導体デバイスの故障メカニズム

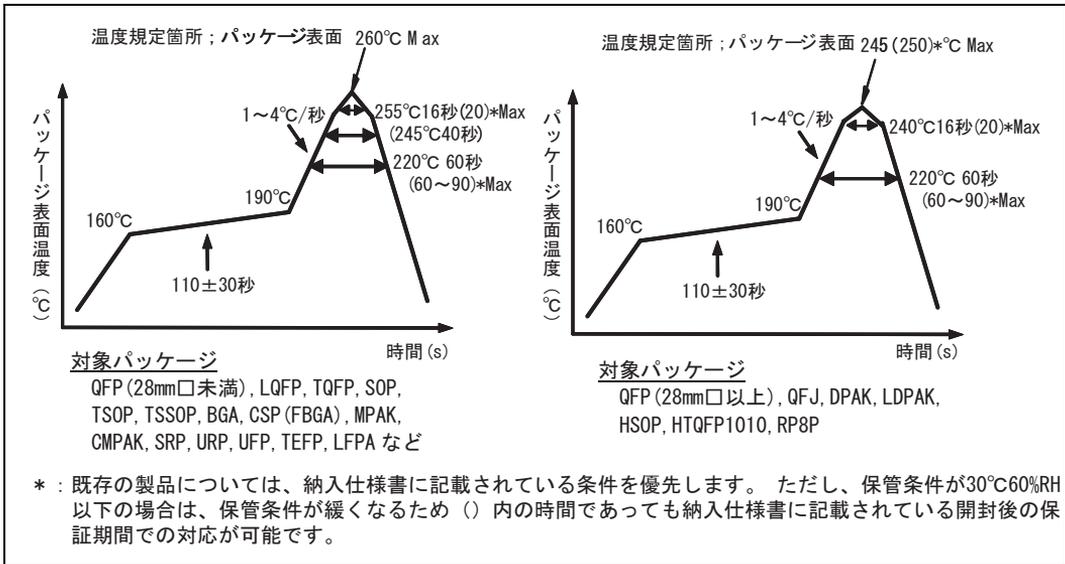


図 4.60 表面実装デバイスの鉛フリーペースト対応のリフロー加熱条件 (パッケージ表面温度)

#### (9) まとめ

表面実装型デバイスの耐熱性問題回避のためには、

- パッケージ吸湿の管理 (防湿包装開封後)
- 実装条件の管理

が重要です。

弊社の湿度に敏感な表面実装デバイスは、吸湿を防ぐための乾燥剤入り防湿包装適用により万全を期していますが、デバイスの取り扱いに際しては、下記の注意が必要です。

- 半導体デバイスを保管している倉庫等の温度、湿度、期間を管理し、規定の時間内で使用願います。
- 防湿包装開封後は、速やかに使用する。もし防湿包装開封後一時保管する場合は、乾燥剤とともに防湿包装内に入れ、開封部分を折り曲げてクリップなどで確実に止めてください。
- 防湿包装開封後、規定を超えて保管された場合は、規定の条件 (高温ベーク等) でデバイスを乾燥させてください。
- 実装は、許容耐熱条件 (共晶ペースト (図4.59), 鉛フリーペースト (図4.60)) を超えない条件による実装が必要です。

## 4.5 取り扱い中に発生する故障メカニズム

### 4.5.1 静電破壊

半導体デバイスの特長は微細構造にあります。高速で多機能なデバイスは、この微細構造の上に成り立っています。しかし、微細構造のため、一般に起こり得るレベルの静電気のエネルギーや電圧により破壊しやすい欠点があります。この破壊は半導体メーカ、電子機器メーカ双方の悩みでもあります。この対策として、半導体メーカではデバイス内に保護素子を設けるなどにより耐性の向上に努めていますが構造上の限界があります。デバイスを取り扱う各工程（デバイスの製造工程、電子機器の組み立て工程など）ではデバイスが静電気にさらされないように十分注意する必要があります。

#### (1) 静電破壊と電氣的オーバーストレスによる破壊

デバイスの静電破壊は静電気放電（Electrostatic Discharge: ESD）により起こります。デバイス内に放電電流が流れ、局所的な発熱、電界集中により破壊するものです。デバイスの主材料である Si、SiO<sub>2</sub> は自然界の中でも耐熱、耐電圧の面で優れていますが、微細構造のため放電電流が局部に集中して溶融、絶縁破壊が起こります。この中で、絶縁破壊は、抵抗などに流れた電流による降下電圧、あるいは直接印加された電圧などが絶縁膜に加わった場合などに起こるものと考えられます。ESD によるデバイスの破壊は、帯電した導体（デバイスを含む）が瞬時に放電して起こるもので、エネルギーが小さいため微かな損傷痕が残ります。

表 4.8 電氣的ストレス要因からみた MOS 型デバイスの故障形態

故障メカニズム	電氣的ストレス要因	故障の特長
溶融によるボンディングワイヤ断線	EOS*	大電流によって発生する。断線部は丸くなる。
溶融金属断線	主として EOS	大電流によって発生するエレクトロマイグレーションのようなメタルボールなどはみられない。
溶融ポリシリコン断線	EOS or ESD	ポリシリコンは抵抗値が大きいため、電力が集中し溶融しやすい。
コンタクト部のダメージ	EOS or ESD	接合部の逆バイアス電流による熱がコンタクト部に伝わりアルミ配線が溶融。
熱的酸化膜劣化	EOS or ESD	接合部の逆バイアス電流の熱が酸化膜に伝わり劣化する。
接合劣化	EOS or ESD	接合部の逆バイアス電流の熱などで発生する。
ホットエレクトロントラッピング	EOS or ESD	高電界下で加速されたキャリアが MOS トランジスタの酸化膜にトラップされる。
電界による酸化膜劣化	主として EOS	ゲート酸化膜に電圧が印加されることにより発生する。

【注】 \* EOS : 過電圧 (Electrical Overstress)

#### 4. 半導体デバイスの故障メカニズム

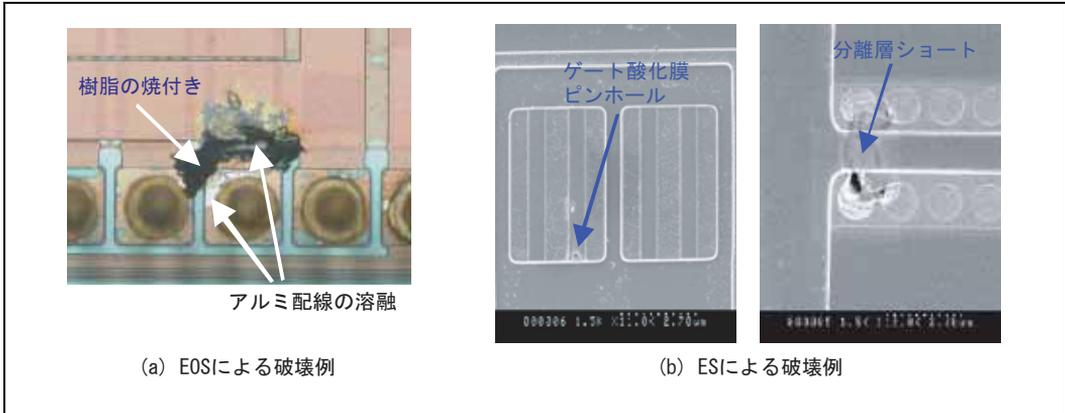


図 4.61 EOS と ESD による破壊の比較例

表 4.8 のように、ESD による破壊と電氣的オーバーストレス (Electrical Over Stress: EOS) による破壊には共通点があり、故障解析時に混同することがありますので注意が必要です。例えば、図 4.61(a) のような配線の溶断などはエネルギーが大きい EOS によるものと原因を判別できますが、エネルギーの小さい EOS は損傷範囲が狭いため、ESD による損傷と共通点が多く原因を分離できない場合が多く見受けられます。<sup>(62) (63)</sup> EOS による破壊は、必ずしもサージのような電氣的なストレスのみでなく、取り扱いミスによる電圧の誤印加、導電性異物による回路のショートなどのさまざまな原因が考えられます。損傷の規模の大きい場合は、サージや静電気以外の原因も考えられますので、原因究明時には広範囲の要因の検討が必要です。

一方、ESD による破壊は配線の溶融 (多くは EOS と考えられます)、接合、絶縁膜の破壊、酸化膜などへの電荷注入による特性変動などに分類できます。エネルギーが小さいため、多くは図 4.61(b) のように光学顕微鏡で痕跡を見ることができず、故障解析は容易ではありません。

この中で配線の溶融、接合の破壊は、放電時に生じる熱が関与しているものと考えられます。例えば、接合破の理論は、接合部に逆バイアスの ESD 電流が断熱的に加わることで加熱され、一定の温度を超えると接合部 (Si の融点は 1415 °C) が溶けることに着目した Wunsch & Bell のモデルが有名ですので、概略を紹介します。接合破壊の単位面積当たりの許容印加電力  $P/A$  は (4-4-2) 式のようになります<sup>(64)(65)(66)</sup>。

$$\frac{P}{A} = \sqrt{\pi \cdot K \cdot \rho \cdot C_p} \cdot (T_m - T_i) \cdot t^{-1/2} \quad (4-5-1)$$

ここで、

$P$  : 印加電力 (W)

$A$  : 接合の面積 ( $\text{cm}^2$ )

$K$  : 接合部の熱伝導率 (Si :  $0.306\text{W/cm} \cdot \text{K}$ )

$\rho$  : 接合部の密度 (Si :  $2.33\text{g/cm}$ )

$C_p$  : 接合部の比熱 (Si :  $0.7566\text{J/g} \cdot \text{K}$ )

$T_m$  : 接合部の熔融温度 (Si :  $1688\text{K}$ )

$T_i$  : 接合部の初期温度 (Si : 室温 (298K))

$t$  : パルス幅 (ESDの継続時間)

(4-5-1)式のパルス幅 $t$ 以外は定数のため、接合部の単位面積当たりの許容電力は $-1/2$ 勾配の直線となります。

図 4.62 は実験値をプロットしたもので、プロットは (4-5-1) 式による許容電力値とその 1/10 の場合の間に入ることを示しています。

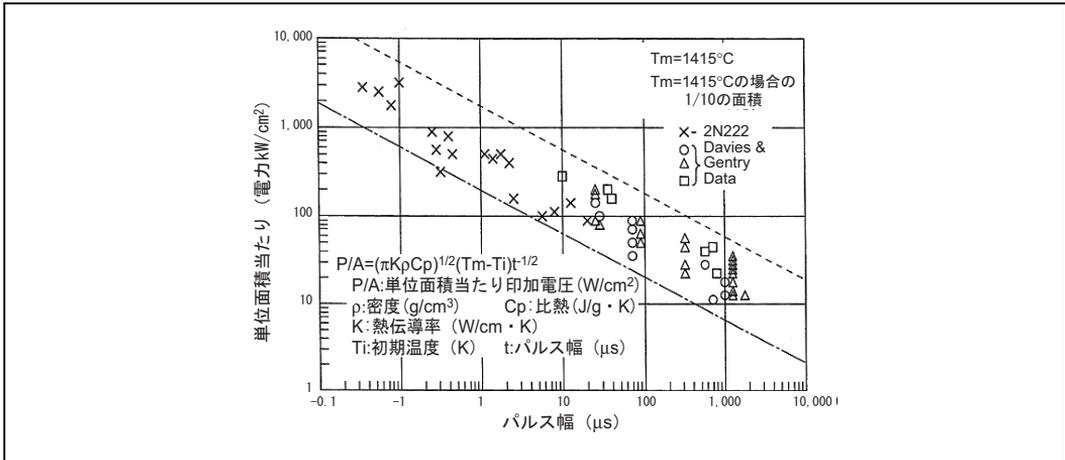


図 4.62 Wunsch & Bell プロット

このように、熱による破壊は、発生熱量、物質の比熱、熱の伝導性、耐熱温度に左右され、熱の発生箇所の拡散以外では基本的に避けることができない現象であることが分かります。ただし、実際の静電気放電の多くはパルス幅が図 4.62 のものより短く、エネルギーも小さいことを理解し、保護素子など熱的対策のみに偏らない配慮する必要があります。

一方、絶縁膜の破壊は高電界中で絶縁膜内の漏れ電流が時間とともに増加し、最終段階でジュール熱による熱的破壊が起こるものと考えられます。MOS 型デバイスのゲート酸化膜の耐圧は十数 V 程度のものが多く、それを超える電圧が印加されると破壊しますので、対応した保護素子が必要不可欠となります。

電荷注入による特性変動は、局部的に発生した電位差により加速されたキャリアが酸化膜に捕獲され、デバイスの特性が変化する現象であり、高温下で回復する場合があります。このモードの故障は外観上の異常がないため故障解析は困難です。

## (2) デバイスの取り扱い工程で注意すべき帯電現象

帯電の原因をデバイスの取り扱いの観点から分類すると以下(a)~(c)のように 3 種類に分類出来ます。ここで示す図 (図 4.63~図 4.65) はデバイスの帯電を表現していますが、プリント配線板、工具類、人体などの導体の帯電にも置き換えることが出来ます。

### (a) 摩擦、剥離による帯電

最も良く知られた摩擦、剥離による帯電現象を示します (図 4.63)。帯電した導体は、他の導体に接近する

#### 4. 半導体デバイスの故障メカニズム

と放電します。また、静電誘導または充電により他の導体を帯電させることがあります。一方、帯電した絶縁体は放電しませんが、導体を静電誘導により帯電させる可能性があります。

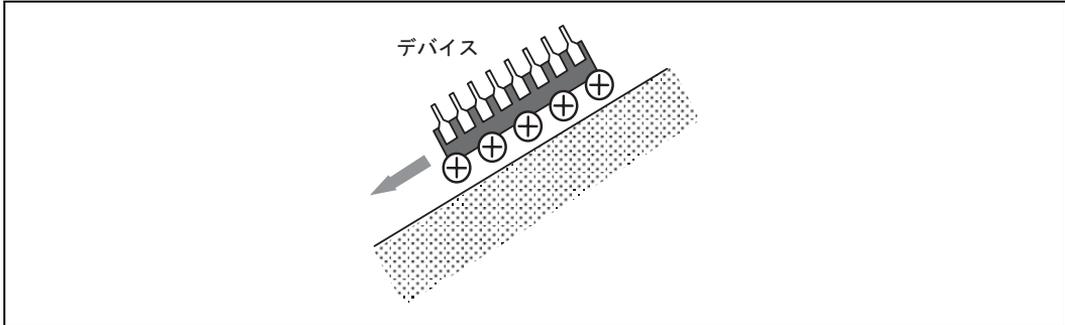


図 4.63 摩擦による帯電

##### (b) 静電誘導と帯電現象

デバイスの取り扱い環境で起こる現象ですが、一般的にあまり理解されていないため着目すべき帯電原因の1つです。

図4.64のように帯電した物体に、デバイス、人体、工具類などフローティング状態の導体が接近した場合、その導体の電荷量の合計がゼロであっても静電誘導が起こり、他の導体に接触すると帯電した場合と同等の放電が起こります。また、この放電によりデバイスは実際に帯電するため、放電の危険が生じます。

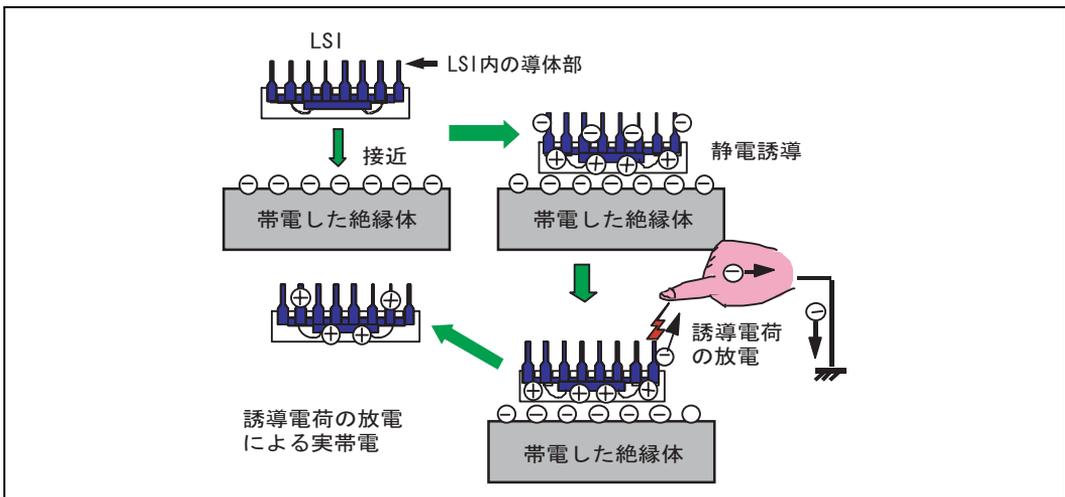


図 4.64 静電誘導による放電と帯電

## (c) 充電による帯電

帯電していない導体に、帯電した導体が接触すると、その導体は帯電します。図4.65は帯電した人体がデバイスを持つと帯電する例を示します。

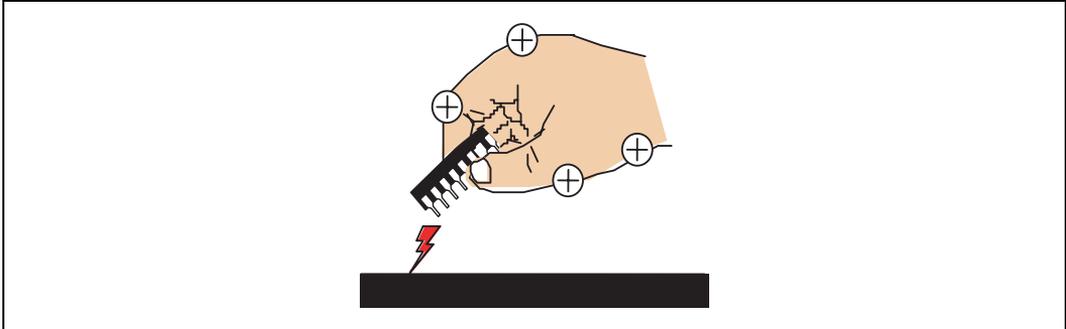


図 4.65 充電による帯電と放電

## (3) デバイスを破壊する ESD 現象

デバイスの静電破壊は放電電流がデバイス内に流れたときに起こります。その電流が大きい程、破壊しやすくなります。実際の半導体の取り扱い環境で大電流が流れる条件はさまざまですが、その多くは良導体（主に金属）が関与しているものと考えられます。

また、デバイスに流れる放電経路を分類すると、図 4.66 のようにデバイスの端子間に伝導電流が流れるモデルと、図 4.67 のように端子に伝導電流が流れデバイスの容量に変位電流が流れるモデルに分けられます。図 4.67 のモデルは放電経路が長い為、その経路に容量、インダクタンスが分布し、放電が図 4.66 と比較すると遅くなります。

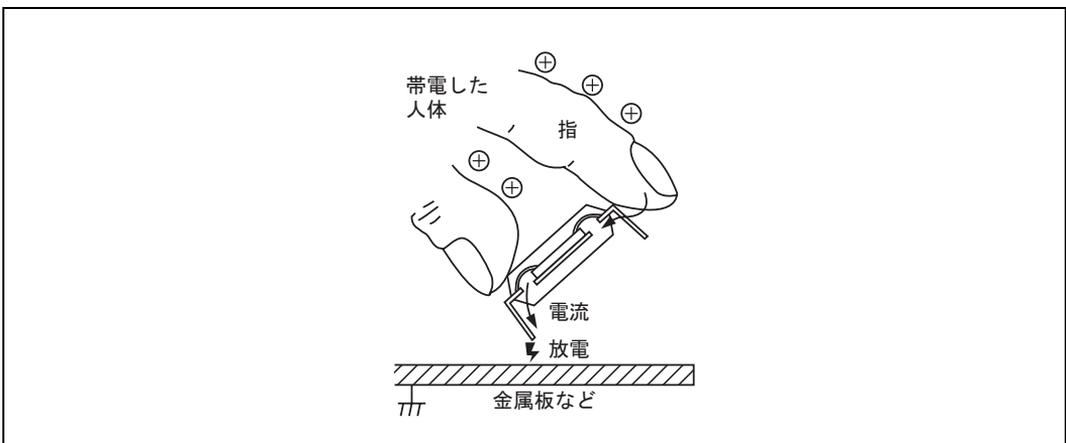


図 4.66 人体モデルの放電例（デバイスの端子間に伝導電流が流れるモデル）

#### 4. 半導体デバイスの故障メカニズム

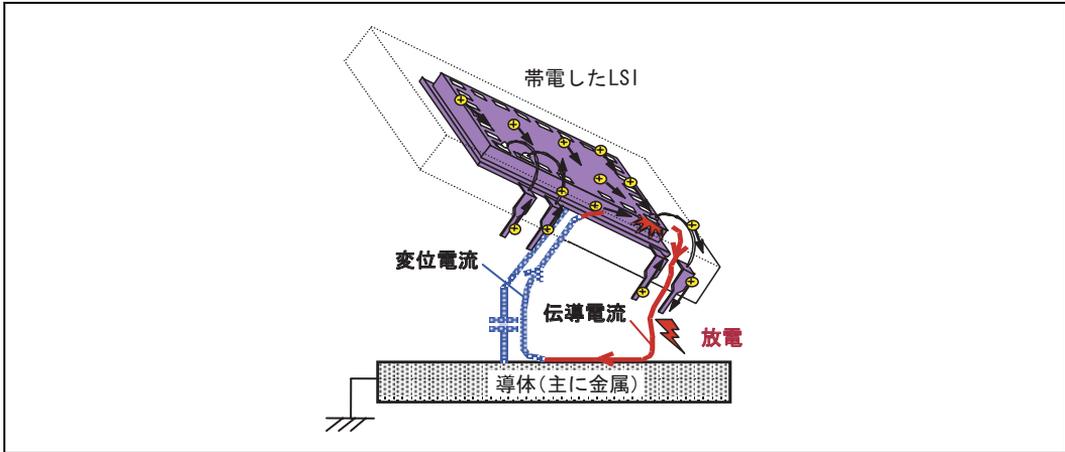


図 4.67 デバイス帯電モデルの放電例（放電端子に伝導電流、デバイス容量に変位電流が流れるモデル）

図 4.66 は人体からデバイスの端子間に流れる放電電流、図 4.67 はデバイスと導体（主に金属）間の放電の例です。この例のように、金属などの低抵抗の物体が関与する場合、放電電流が流れやすく、破壊しやすくなります。また、図 4.66 においても電流が流出する GND 側が金属の方が破壊しやすいです。したがって、デバイスを取り扱う環境の中では、帯電した物体のみならずデバイスが触れる物体にも注意が必要です。

#### (4) 実際の放電と試験方法

実際の静電気放電モデルに対して、現在適用されている試験方法は大きく分けて 3 種類あります<sup>(67) (68)</sup>。

- 人体モデル（Human Body Model : HBM）
- マシンモデル（Machine Model : MM）は人体モデルの代替方法に位置付けられます。
- デバイス帯電モデル\*（Charged Device Model : CDM）

#### (a) 人体モデル試験方法の特長

図4.68のように、帯電した人体がデバイスに接触し、デバイスのピンに放電するモデルを人体モデル (Human Body Model: HBM) といいます。このとき、他のピンが接地されるなど、何らかの電位に接続されている場合に、放電電流がデバイス内を貫通します。

このHBMに対するESD試験回路を図4.68に示します。コンデンサCは人体の静電容量、抵抗Rは皮膚の抵抗値を参考にしており、JEITA、JEDEC、MIL規格には $R=1500$  ( $\Omega$ )、 $C=100$  (pF) と定められています。

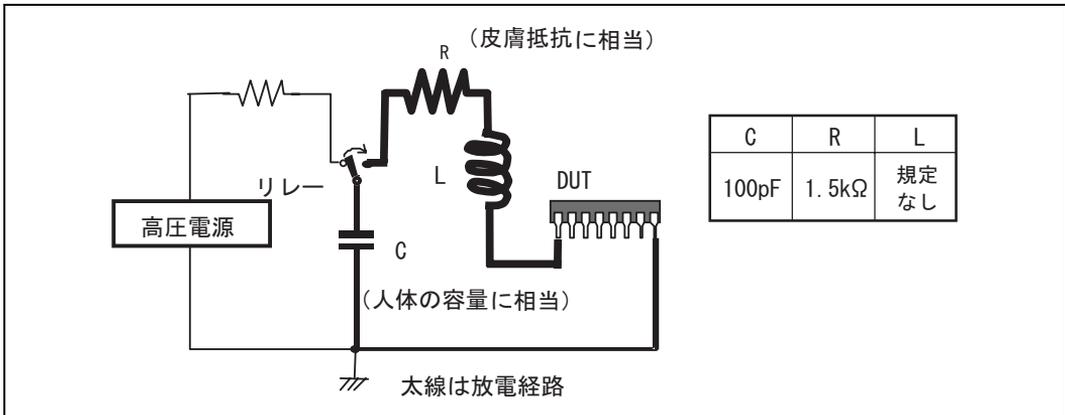


図 4.68 人体モデル試験回路

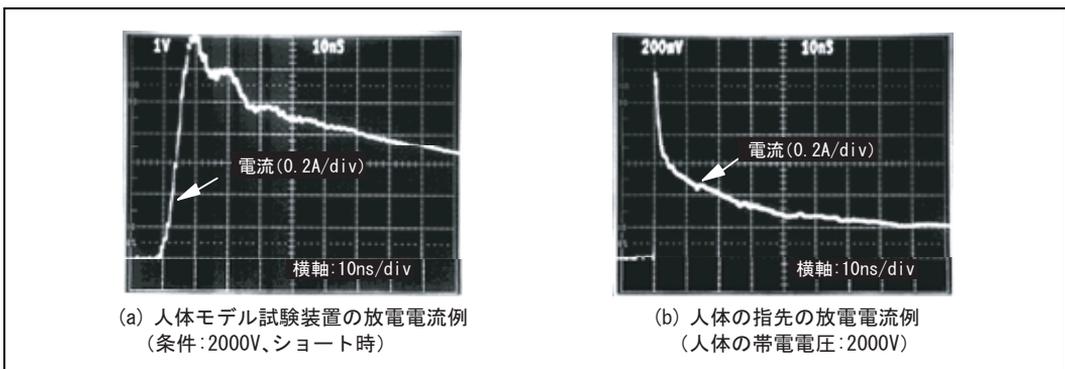
図 4.69 人体の放電と人体モデル試験装置の放電電流比較<sup>(72)</sup>

図 4.69 に人体の放電波形と静電破壊試験装置の放電波形例を示します。このときの人体の静電容量は約 300pF (DC 的測定方法によるもの) ですが、放電波形を解析するとデバイスを破壊する大電流を発生させる時間帯の容量は実効的に数 pF～数十 pF 程度であることが分かります。完全に放電するには数秒を要しますので、放電は周辺の高抵抗体を経由しているものと考えられます。一方、試験装置は 1.5kΩ の単一の抵抗で構成されていますので、単純な減衰波形を示しており、人体放電に対してエネルギーの面では数倍～10 倍程度と厳しく、配線を用いて構成しているため、インダクタンスなどにより立ち上がりが遅くなっていることが分かります。<sup>(73)</sup>

ピーク電流はデバイス内で発生する電圧を、ピーク電流の維持時間はデバイスの中で発生する電力に影響しますので、HBM 試験方法は実際のデバイス破壊より電力による破壊を強調する傾向があります。

#### (b) マシンモデル試験方法の特長

この方法は日本で古くから実施していた人体モデル試験方法です(図 4.70)。この方法は、弊社では 1960 年代後半に社内試験業務に適用されていた記録があり、人体などの放電を低電圧で再現できる試験方法と

#### 4. 半導体デバイスの故障メカニズム

して位置付けられていました。1981年にEIAJ（現JEITA）で規格化されています。

また海外では、1980年代後半から、200pF、0Ωの条件が皮膚抵抗を考慮していない（0Ωとしている）ためマシンモデル（Machine Model: MM）法と呼ばれましたが、金属の放電を意味する『マシンモデル』という名称は誤解によるものです。この方法は、金属の放電とは関連がないことを理解する必要があります。その後、1996年に米国/JEDECでこの試験方法が規格化されています。日本の半導体ユーザからの試験データの要求が多いため、試験方法を統一する必要があったことがJEDECにおける規格化の背景です。

AEC-Q-100などの認証試験の実施規格では、静電破壊試験はCDMやHBMが重視されており、このマシンモデル試験の実施は推奨されていません。

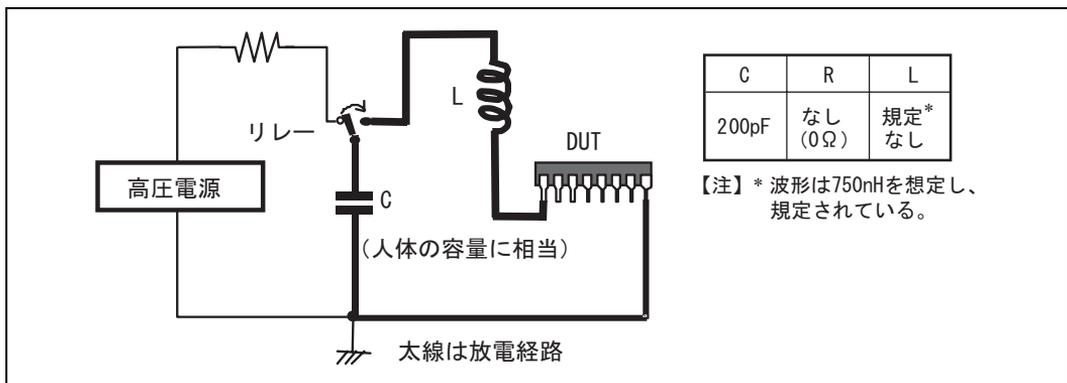


図 4.70 マシンモデル試験回路

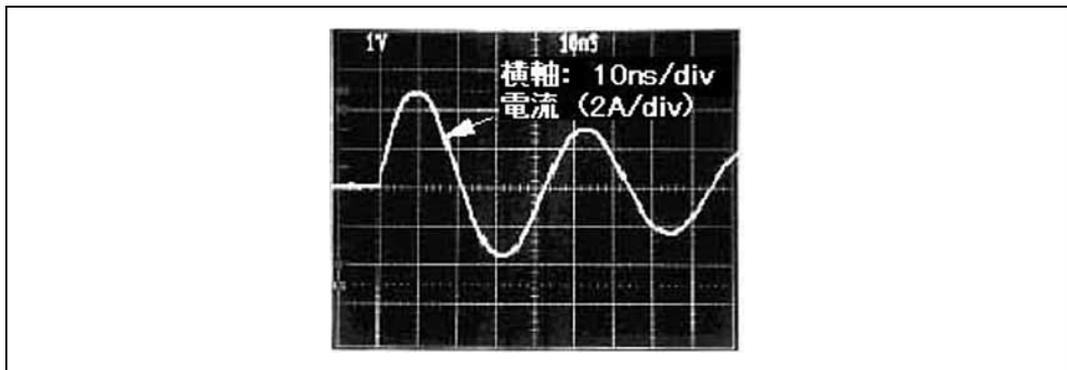


図 4.71 マシンモデル試験の放電波形（インダクタンスLが小さい装置の例）

マシンモデル試験の出力波形は試験回路のインダクタンスの影響で減衰振動波形となります。図4.71はJEDEC規格のものより配線が短い装置の波形で、立ち上がりが早い装置の例です。

一方、半導体を取り扱う工程の中で、帯電しやすい金属類は工具やツール類と考えられます。大型の装置

類は接地されていますので、接地の断線等がない限り帯電することはありません。図4.72は帯電した金属製ピンセットの放電波形例です。特長は、立ち上がり時間が極めて短く、3.5GHzのオシロスコープでほぼ測定限界の100ps程度であることが分かります。さらにその他の小型金属製ツール類の放電波形も同様な波形になります。金属塊の放電はこのように極めて高速の放電を示し、後で示すCDM放電に似ています。このように、金属の放電が早い理由は、帯電している金属がインダクタンスをほとんど持たないためです。(71)(72)

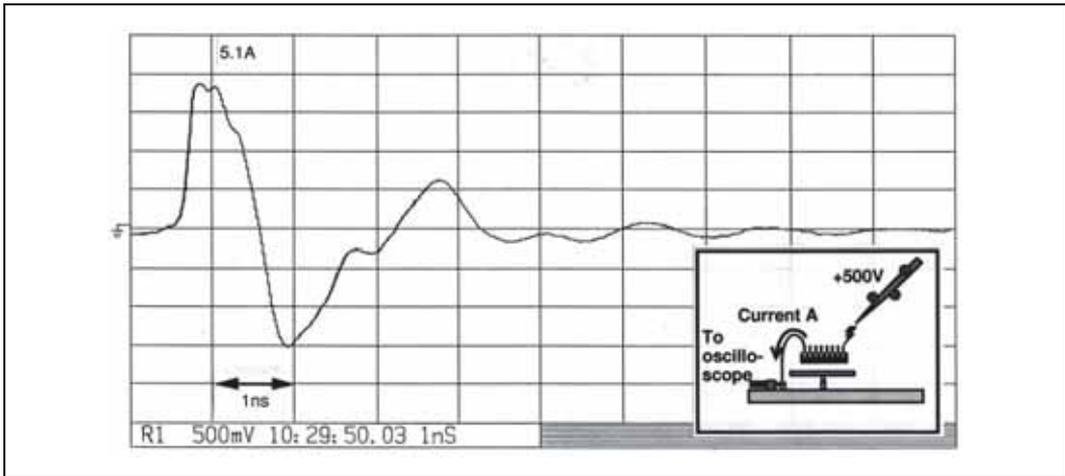


図 4.72 帯電した金属製ピンセットの放電波形（マシンモデル放電波形と全く異なる）

以上のように、マシンモデルは試験方法の名称が示すような金属の放電と全く異なった特性を持っており、一般の半導体の取り扱い工程で見ることができない波形となり、試験結果とフィールドとの相関性も認められないことから、JEITA 規格では参考試験に降格されています。

#### (c) デバイス帯電モデル

最近の機器組み立て工程の自動化により、人がデバイスに触れる作業は減り、HBMによるESD不良は減る傾向にあります。一方、自動装置内でデバイスが摩擦や静電誘導を受け、さらにデバイスが金属類に接触する機会が増えています。(69)(70)(74)

以上の帯電したデバイスが金属類に接触して起こるCDM放電は、工程の自動化にともない増える傾向にあり、注意すべき放電モデルと考えられます。

CDM放電は図4.73に示すように、帯電したデバイスが装置や治工具類などの金属部に接触して起こるものです。放電は極めて高速であり、測定には1GHzを超える帯域のオシロスコープが必要です。図4.74は、図4.67のCDM放電例の波形測定結果です。波形の立ち上がり時間はオシロスコープの測定限界の100ps未満であり、人体モデルやマシンモデルの2桁以上早いことが分かります。

一方、すでに説明したようにCDM放電は、図4.72の金属の放電に似ていることが分かります。

#### 4. 半導体デバイスの故障メカニズム

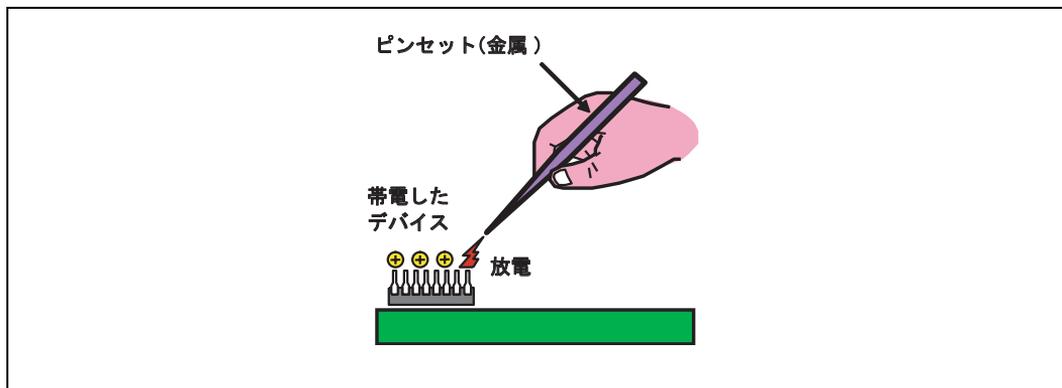


図 4.73 デバイス帯電モデルの放電例（金属工具類に放電する例）

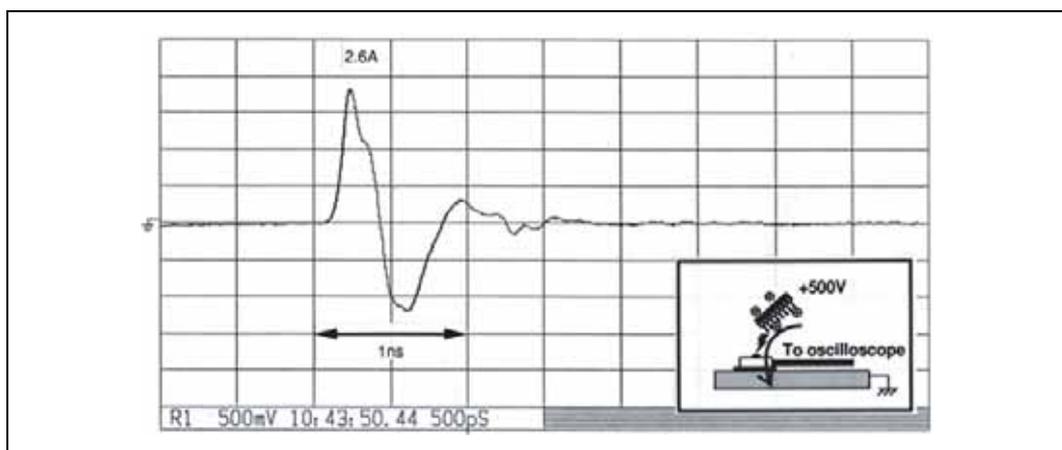


図 4.74 デバイス帯電モデルの放電波形(3.5GHz オシロスコープで測定)

CDM放電によるESD破壊はデバイスの導体部に一様に帯電した電荷が、放電ピンのパッド部に集中して起こります。放電電流は高速の振動波形のため、デバイス内に厳しい過渡現象をとまいません。したがって、大半の破壊は過渡電圧の印加による酸化膜などの絶縁破壊ですが、エネルギー集中による熱的破壊が起こることもあります。

図4.75は実際のCDM法試験回路の事例（弊社で開発したもの）です。この試験回路は接地棒が図4.73のピンセットなどの工具類に相当し、実際に存在する放電形態です。

図4.76はCDMの問題が明確でなく工程対策が不十分であった1980年代に社内で問題となったデバイスのパッケージのアセンブリ工程における不良率とJEITAで規格化されているCDM試験結果の関係を示すものです。CDM試験と工程不良率は明らかな相関があり、デバイスのコーナのピンは他と接触しやすいため、放電する確率が高いことを示しています。<sup>(70)</sup>

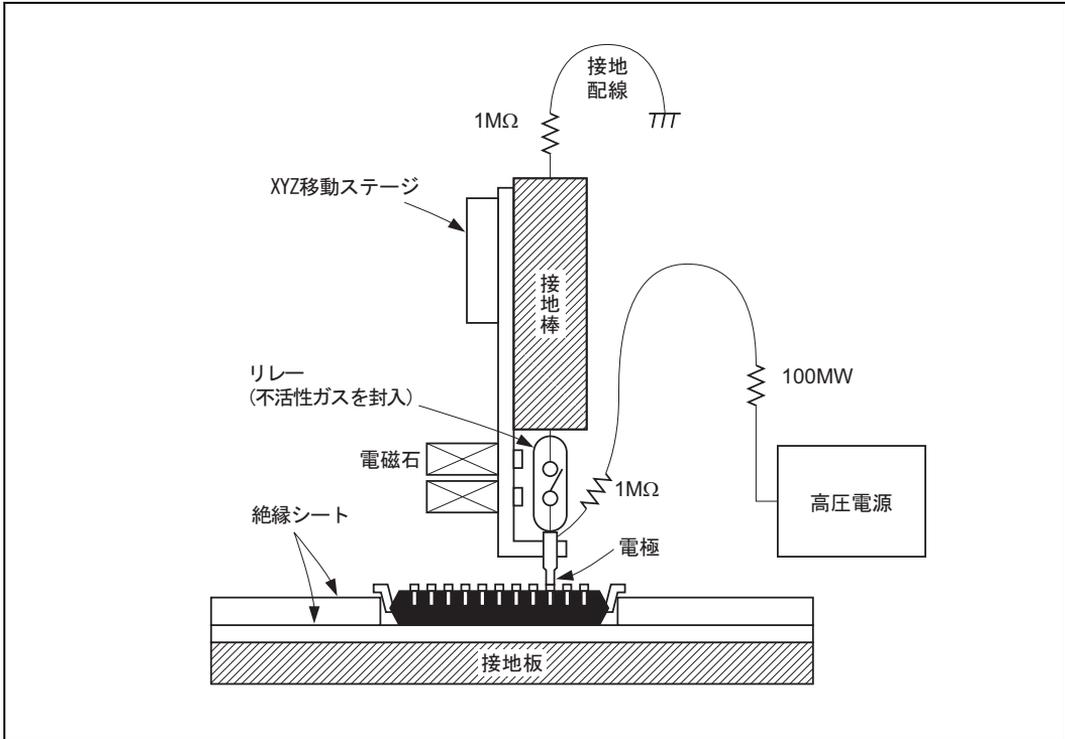


図 4.75 CDM 法の試験回路例  
 (高圧電源でデバイスを充電後、リレーを閉じてデバイスから GND 棒に放電)

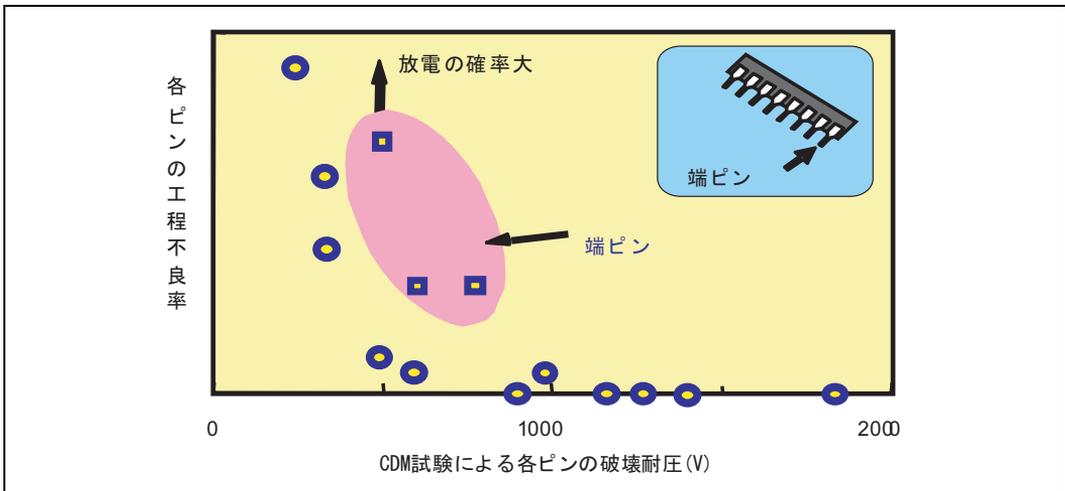


図 4.76 パッケージのアセンブリ工程不良率と CDM 試験強度の関係

#### 4. 半導体デバイスの故障メカニズム

##### (d) CDM 放電を含む複合放電例

また、図4.77は、帯電した人がデバイスを手で持った状態で、デバイスのピンが金属板に触れた場合は、一般には人体モデルの放電を連想しますが、実際にその放電電流を測定すると、この電流以外にCDM放電と等価な電流が観測されます。

放電は次の過程を経て起こります。まず、金属板とデバイスの端子が接触することにより、この電界情報がデバイスに伝搬し、デバイスに蓄積された電荷の放電を開始します。これはCDM放電と等価な放電です。次に、電界情報が人体に伝達され、人体の電流がデバイスを経て金属板に流れます。図4.78は測定波形例です。この例では、皮膚抵抗の影響により、人体からの放電電流は小さく、時間は長くなります。そして、CDM放電電流の方が大きな電流値を示します。

以上の例のみでなく、異なった電位の導体が接触するときCDMと等価な放電が観測されます。それが市場故障の中でCDM故障の比率が高い理由の一つになっているものと考えられます。(71)(72)(73)

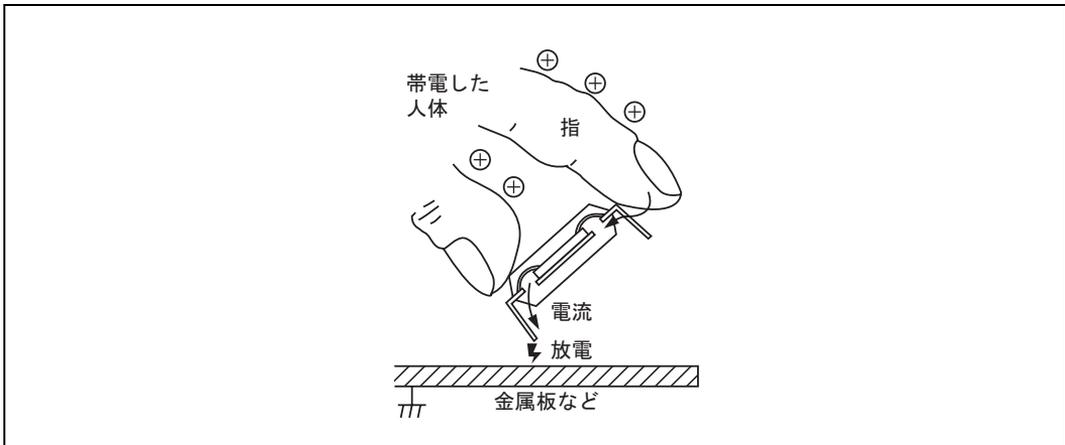


図 4.77 人体モデルとデバイス帯電モデルの複合放電例

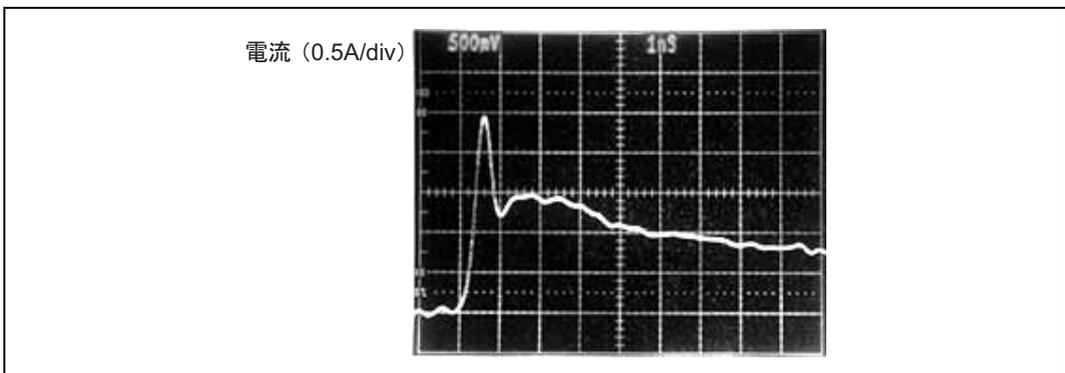


図 4.78 複合放電の電流波形例

## 4.5.2 ラッチアップ

### (1) 概要

CMOS デバイスは、その低消費電力性、雑音余裕度の広さなどの特長を持っていることから、電子機器の低消費電力化、高性能化に適したデバイスとして広く使用されています。また、CMOS の微細化技術を用い、集積度の高い大容量メモリ、高性能マイクロコンピュータなどが多く作られています。

しかし、CMOS デバイスは構造上、寄生の NPN、PNP バイポーラトランジスタが入出力回路部にでき、これが寄生サイリスタを形成します。CMOS デバイ스에電源バイアスを加えた状態では、例えば工程内での基板組み込み後の検査などでこの寄生サイリスタをターンオンさせるのに十分な外来サージなどのノイズが CMOS デバイスに飛び込んだ場合、電源ラインに過電流が流れ続け、場合によっては素子破壊になる現象、すなわちラッチアップ現象を生じます。特に微細化構造の最近の LSI では、この寄生素子の影響を受けやすくなっており、設計する場合に十分考慮しなければならない項目の一つになっています。

### (2) メカニズム

CMOS デバイスは、2つの特性の異なる MOS トランジスタから成るインバータを基本素子としているので各所にバイポーラトランジスタが寄生します。この寄生素子の組み合わせにより等価回路は若干異なりますが、一例として寄生トランジスタを考慮した断面概略図を図 4.79 に示します。また、この断面概略図中の寄生トランジスタ回路の等価回路を図 4.80 に示します。

まず、出力端子に十分大きな正の DC 電流またはパルス電流が入った場合を考えます。

1. トランジスタ TR3 のベースとエミッタ間が順バイアスされ、TR3 がオン状態になる。
2. 電流  $I_g$  が TR2 のベース抵抗  $R_p$  を通って  $V_{SS}$  に流れる。
3.  $R_p$  の電圧降下により TR2 のベース電位が上昇し、TR2 がオン状態になる。
4.  $V_{CC}$  から TR1 のベース抵抗  $R_N$  を通じて電流が  $V_{SS}$  に流れる。
5.  $R_N$  の電圧降下により TR1 のベース電位が上昇し、TR1 がオン状態になる。
6.  $V_{CC}$  からオンした TR1、抵抗  $R_p$  を通って電流が  $V_{SS}$  に流れる。
7. この電流により TR2 のベースが再びバイアスされる。

#### 4. 半導体デバイスの故障メカニズム

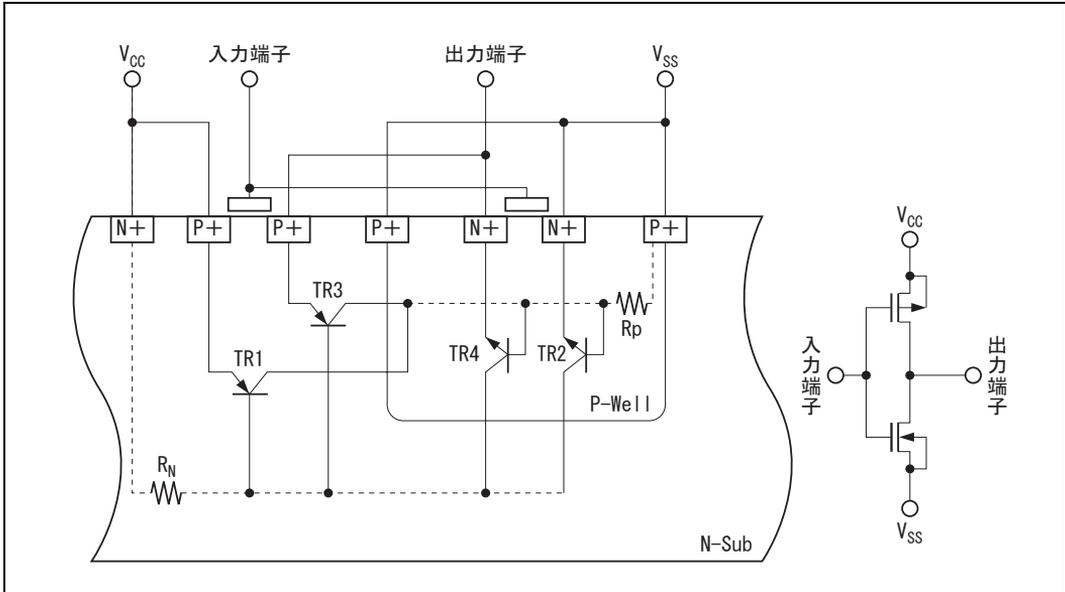


図 4.79 CMOS インバータおよび断面概略図

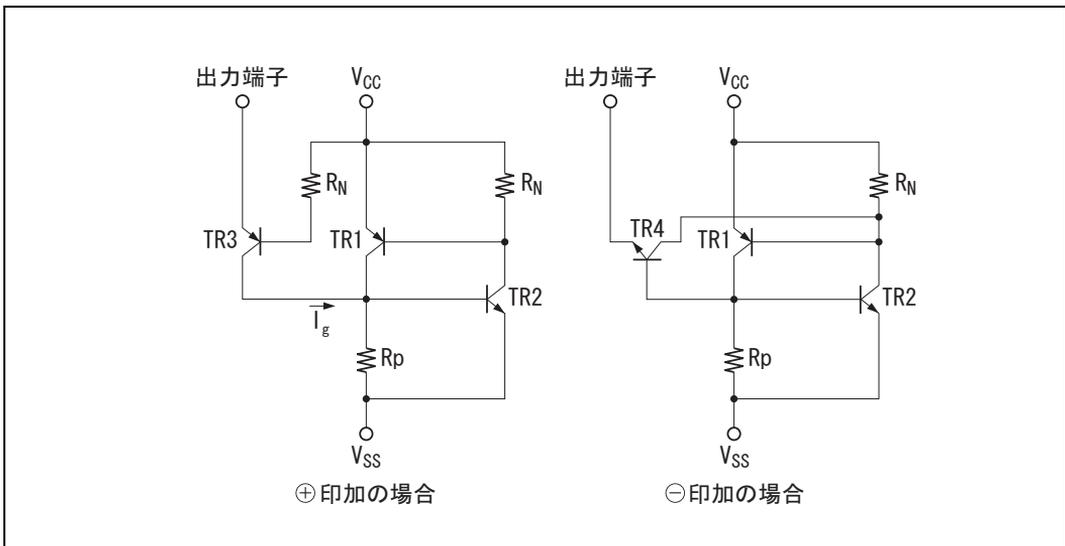


図 4.80 寄生サイリスタ等価回路

このように TR1、TR2 から成る閉ループ回路に正帰還がかかり、外部からのトリガ電流がなくなっても  $V_{CC}$  と  $V_{SS}$  間に正常的に電流が流れるようになります。

トリガ電流が負の場合は TR4 がトリガを伝達する働きをし、正の場合と同様に TR1、TR2 から成る閉ループ回

路に正帰還がかかります。

### (3) 試験方法

ラッチアップ試験方法は、いろいろありますが、EIAJ ED-4701/試験方法 306、EIA/JEDEC/JESD78 に規定されている 2 種類の方法について示します。

#### (a) パルス電流注入方法

パルス電流注入方法（図4.81）は、所定の電源電圧を印加したデバイスの入力または出力端子にトリガパルス電流を流し、ラッチアップを引き起こすトリガパルス電流値を求める方法です。その際、デバイスの入出力端子の入力抵抗が大きく電流が流せない場合はトリガパルス電流源の出力電圧が規定値（クランプ電圧）を超える時点で注入を打ち切ります。この方法は過電流注入による破壊をさせないように注意し、かつラッチアップ試験後に破壊していないことを確認することが重要です。

#### (b) 電源過電圧方法

電源過電圧方法（図4.82）は、デバイスの電源電圧に対するラッチアップ強度を測定するためのもので一般に絶対最大定格電圧付近まで評価します。

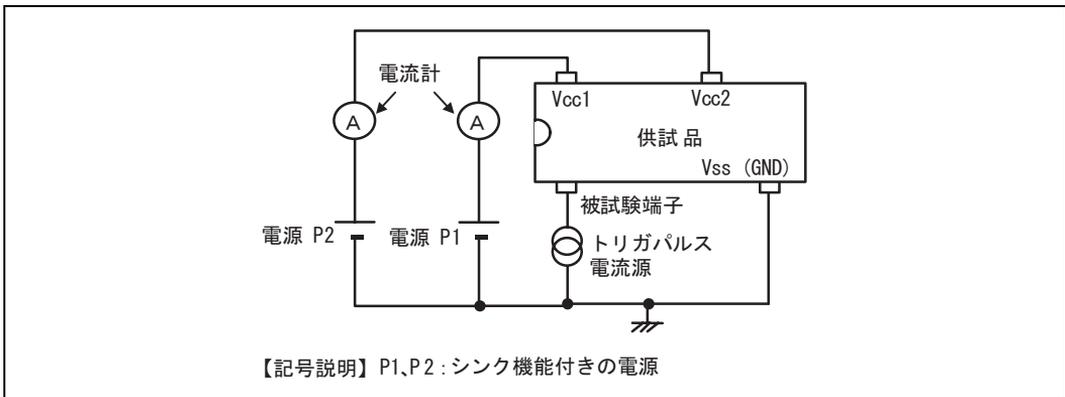


図 4.81 ラッチアップ試験回路（パルス電流注入方法）

#### 4. 半導体デバイスの故障メカニズム

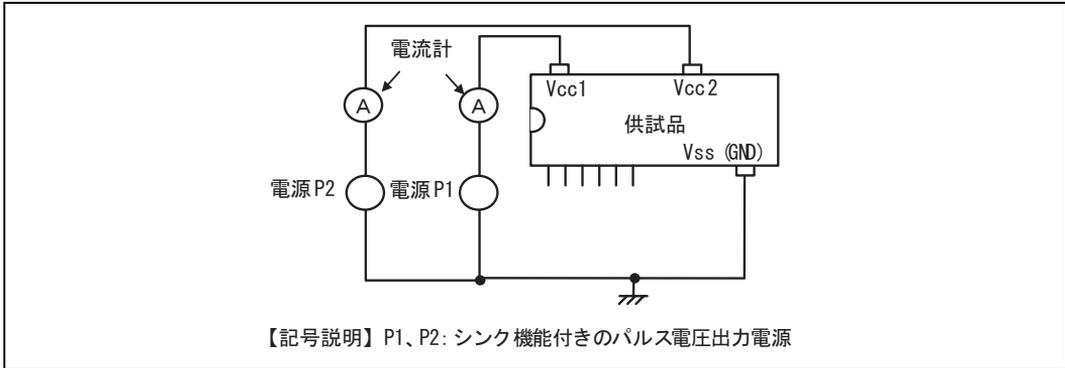


図 4.82 ラッチアップ試験回路（電源過電圧方法）

#### 4.5.3 パワーMOS FET の破壊

パワーMOS FET はその高速スイッチング特性と負の温度特性を兼ね備えた、優れたパワーデバイスであることにより、電子機器の小形化、高効率化、高精度化に伴いスイッチング電源、モータ制御に広く用いられ、また電装、OA、照明などの応用分野で急速に市場を拡大しています。一方、高周波、大電力動作となるに従い、パワーMOS FET 特有の構造設計（微細加工とセル構造）に伴う破壊を発生します（図 4.83、図 4.84）。

##### (1) L 負荷破壊（アバランシェ破壊）

アバランシェ破壊は、トランスやモータなどのインダクタンス L 負荷動作時（高速スイッチング動作時）

インダクタンス L に発生する逆起電力によってパワーMOS FET のドレイン・ソース間がアバランシェ降伏を起こすと、パワーMOS FET に構造的に存在する寄生トランジスタが動作し破壊する現象です。

パワーMOS FET がアバランシェ降伏を起こすと、ドレイン電流はアバランシェ電流としての一部がソース(N<sup>+</sup>)領域下のベース抵抗 R<sub>B</sub> を流れます。したがって、R<sub>B</sub> が大きいと両端に電位差を生じ、寄生バイポーラトランジスタが動作します。その際に電流集中が発生し、パワーMOS FET が破壊します。

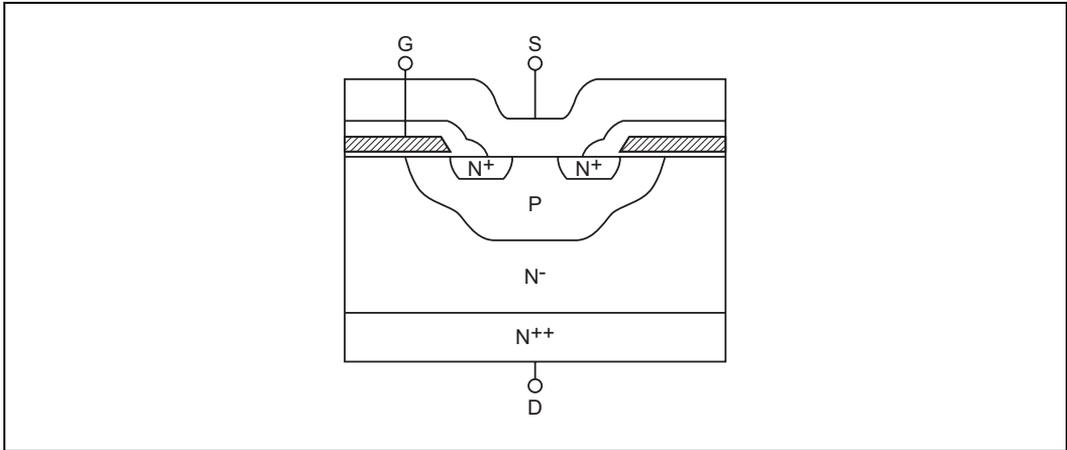


図 4.83 パワーMOS FET の断面構造

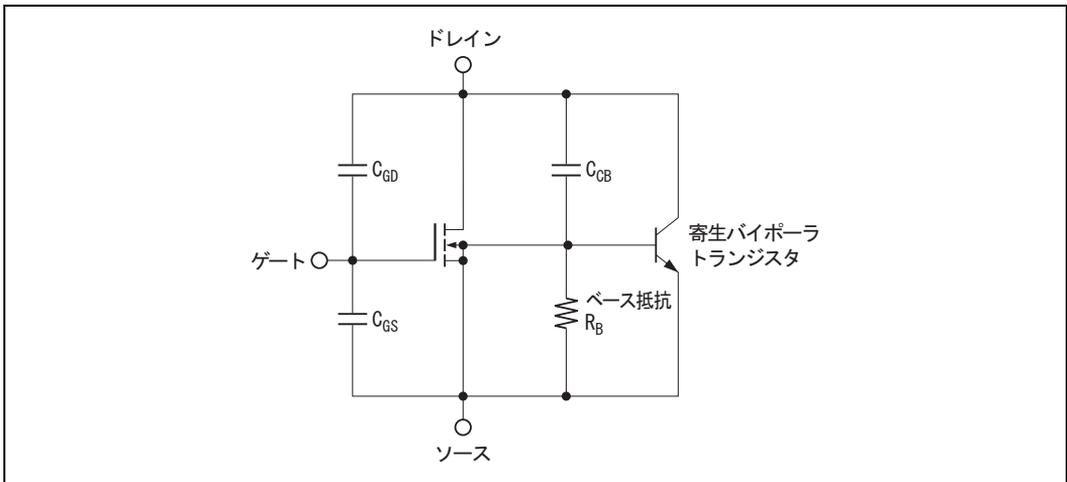


図 4.84 パワーMOS FET の等価回路

## (2) 評価方法

評価回路図およびその動作波形を図 4.85、図 4.86 に示します。ターンオフ時にゲート電圧  $V_{GS}$  がしきい値電圧以下になると、インダクタンス  $L$  を流れるドレイン電流  $I_D$  が減少しドレイン電圧  $V_{DS}$  が急激に上昇します。その電圧が  $V_{DSX (SUS)}$  に達するとパワーMOS FET はアバランシェ降伏を起しドレイン電圧は一定となります。インダクタンス  $L$  に蓄えられたエネルギーは熱となりパワーMOS FET 内で消費されます。以上に示すように、アバランシェ耐量はインダクタンス  $L$  に蓄えられたエネルギーをパワーMOS FET が破壊されることなく消費できる耐性を示します。

#### 4. 半導体デバイスの故障メカニズム

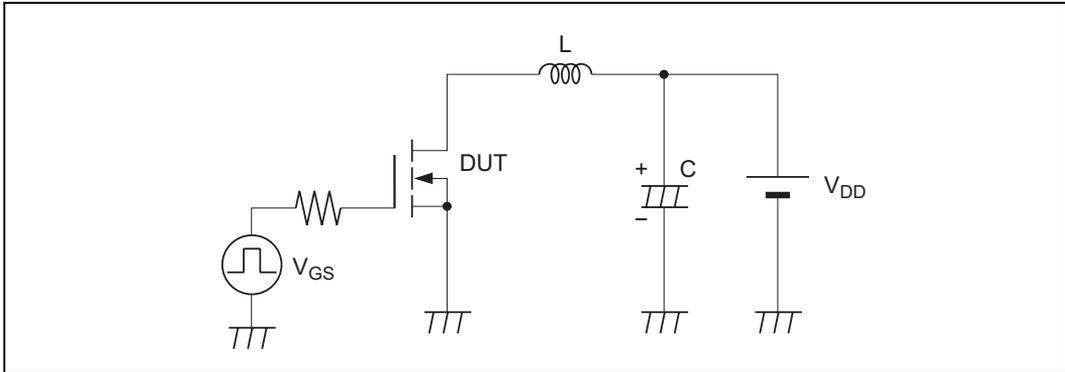


図 4.85 アバランシェ耐量評価回路

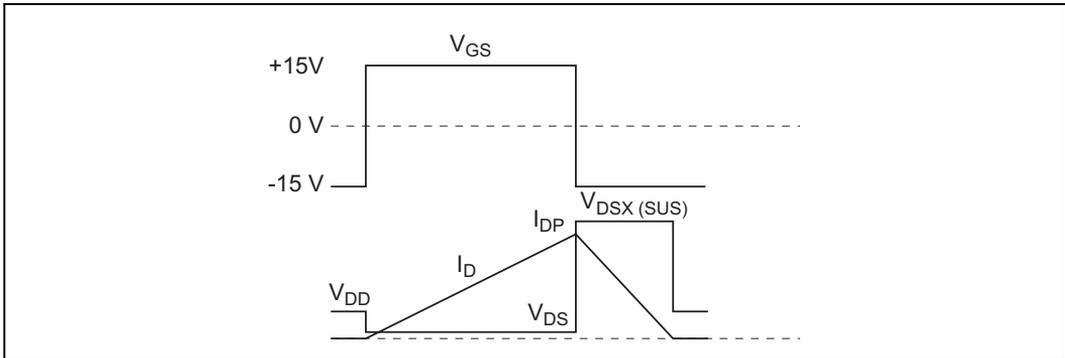


図 4.86 アバランシェ動作波形

##### (3) ゲート酸化膜の静電破壊

パワーMOS FET は電力用素子ですが、MOS 構造を有しているため、静電気や過電圧がゲート電極に印加されると、デバイスを破壊することがあります。これを防止するため、ゲート保護素子を内蔵しています。しかし、高耐圧、大容量が主流となっている DMOS 構造の縦型パワーMOS FET では、構造上電氣的に寄生効果が生じるため、PN 接合を用いた保護素子の内蔵は困難です。したがって、絶縁膜上に形成した多結晶シリコン素子を用いることにより耐量の向上を図ります (図 4.87 参照)。

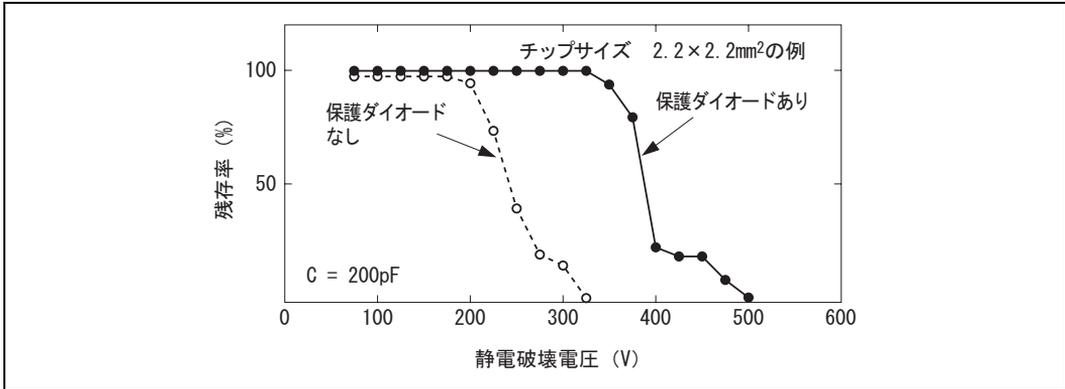
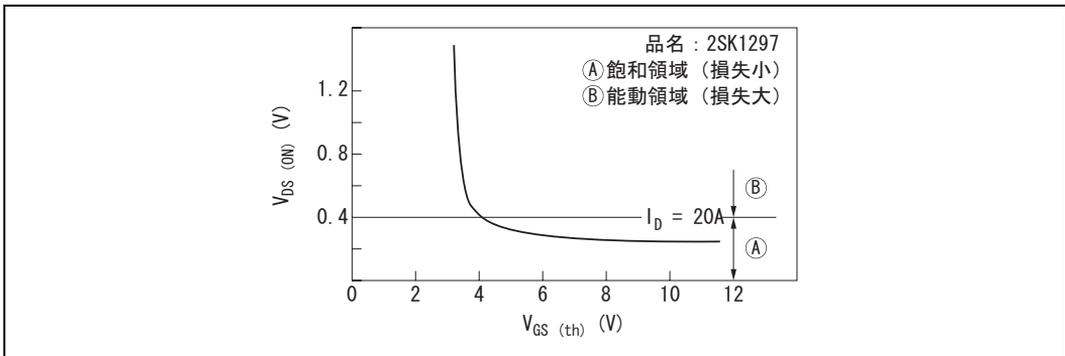


図 4.87 ゲート酸化膜の静電破壊強度

## (4) 実装時の駆動電圧低下による破壊

一般の実装時、ゲート駆動電圧の低下 (4V の低電圧駆動品を除いて一般的には約 10V は必要です) は、能動動作領域 (図 4.88) に入り実装条件 (放熱条件によって異なります) 内での ASO (安全動作領域) オーバーに至って破壊する現象が見られます。この場合、過負荷、電源投入時、電源変動などで過渡的にゲート電圧が低下していないかのチェックが必要です。

図 4.88 実装時の  $V_{ds(ON)}$  -  $V_{gs(th)}$  特性

#### 4. 半導体デバイスの故障メカニズム

---

##### 参考文献

- (1) R.H.Dennard et al; " Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions " IEEE Journal of Solid State Circuits SC9, pp.256-268, 1974
- (2) (財) 日本電子部品信頼性センター : LSIの故障モデル式と加速寿命試験に関する調査研究成果報告、R-2-RS-02 (1990)
- (3) (財) 日本電子部品信頼性センター : 半導体集積回路におけるインプロセス信頼性技術に関する調査研究成果報告書、R-6-RS-02 (1995)
- (4) E.Wu et al.; " Polarity-Dependent Oxide Breakdown of NFET Devices for Ultra-Thin Gate " Proc 2002. IEEE IRPS pp.60-72
- (5) John S. Suehle et al.; " Field and Temperature Acceleration of Time-Dependent Dielectric Breakdown in Intrinsic Thin SiO<sub>2</sub> "Proc 1994. IEEE IRPS pp.120-125
- (6) H.Satake et al. ; "Impact of TDDB Distribution Function on Lifetime Estimation in Ultra-Thin Gate Oxides" , SSDM, Sendai, pp.248-249, 2000
- (7) T.H.Ning; "Hot-carrier emission currents in n-channel IGFET's, " Int. Electron device Meet. Tech, Dig., pp.144-147, 1977
- (8) E.Takeda, H.Kume, Y.Nakagome and S.Asai; " An As-P (n+n-) double diffused drain MOSFET for VLSIs," 1982 Symp. on VLSI Tech. Dig., pp.40-41, Sep. 1982
- (9) A.Toriumi, M.Yoshimi and K.Taniguchi;"A Study of gate current and reliability in ultra-thin gate oxide MOSFET's," 1985 Symp. on VLSI Technology, Tech, Dig., pp.110-111, May, Kobe.
- (10) S.Tam, F.C.Hsu, P.K.Ko, C.Hu and R.S.Muller;"Hot-Electron induced excess carriers in MOSFET's," IEEE Electron Device Letters, vol. EDL-3, No.12, Dec.1982
- (11) Y.Nakagome, E.Takeda, H.Kume and S.Asai;"New Observation of hot-carrier injection phenomena," Jpn. J. Appl. Phys. vol. 22, Supplement 22-1, pp.99-102, 1983
- (12) T.H.Ning, C.M.Osburn and H.N.Yu;"Emission Probability of hot-electron from silicon into silicon dioxide", J.Appl. Phys., pp.286-293, vol. 48, 1977
- (13) E.Li et al; "Hot Carrier Induced Degradation in Deep Submicron MOSFETs at 100°C", Proc 2000. IEEE IRPS pp.103-107
- (14) P.Su et al; "Excess Hot-Carrier Currents in SOI MOSFETs and Its Implications", Proc 2002. IEEE IRPS pp.93-97
- (15) H.Aono, E.Murakami et al., " NBT induced Hot Carrier(HC) Effect:Positive Feedback Mechanism in p-MOSFET's Degradation " Proc 2002. IEEE IRPS pp.79-85
- (16) J.H.Stathis et al., " Broad Energy Distribution of NBTI-Induced Interface States in P-MOSFETs with Ultra-Thin Nitrided Oxide " Proc 2004. IEEE IRPS pp.1-7
- (17) V.Huard et al., " Evidence for Hydrogen-Related Defects during NBTI Stress in p-MOSFETs " Proc 2003. IEEE IRPS pp.178-182
- (18) J.S.Lee et al., " Hydrogen-Related Extrinsic Oxide Trap Generation in Thin Gate Oxide Film during Negative-Bias Temperature Instability Stress " Proc 2004. IEEE IRPS pp.685-686

- 
- (19) H.Aono, E.Murakami et al., " Modeling of NBTI Degradation and Its Impact on Electric Field Dependence of the Lifetime " Proc 2004. IEEE IRPS pp.23–27
- (20) K.Jeppson and C.Stenssen, " Negative bias stress of MOS devices at high electric fields and degradation of MOS devices ", J. App. Phys., vol48, p2004, 1977.
- (21) Huard and M.Denais, " Hole Trapping Effect on Methodology for DC and AC Negative Bias Temperature Instability Measurements in pMOS Transistors ", Proc 2004. IEEE IRPS pp.40–45
- (22) G.Chen et al., " Dynamic NBTI of PMOS Transistors and its Impact on Device Lifetime ", Proc 2003. IEEE IRPS pp.196–202
- (23) S.S.Tan et al., " A New Waveform-Dependent Lifetime Model for Dynamic NBTI in PMOS Transistor ", Proc 2004. IEEE IRPS pp.35–39
- (24) J.R.Black; "Physics of Electromigration" Proc. 1974 IEEE IRPS pp.142–159
- (25) J.R.Black; "Electromigration-A brief survey and some recent results" IEEE, ED-4, (1969) pp.338–347
- (26) 松本、岩崎、沢田、大槻: “エレクトロマイグレーションによるAl薄膜の断線故障(2)”、第5回信頼性・保全性シンポジウム, pp. 393 (1975).
- (27) 松本、高野、岩崎、西岡、大槻: “エレクトロマイグレーションによるAl薄膜の断線故障”、第4回日科技連信頼性・保全性シンポジウム, pp. 391 (1974).
- (28) 榎原敏之、市来勉、宮川高志: “Wafer Level Reliability (WLR) 技術を用いた短期Electromigration (EM) 評価手法の有効性確認”、第35回日科技連信頼性・保全性シンポジウム, pp.29–32 (2005)
- (29) J. Klema, R.Pyle and E. Domangue: “Reliability Implications of Nitrogen Contamination during Deposition of Sputtered Aluminum/Silicon Metal Films”, *The 22nd Annual Proc. of International Reliability Physics Symp.*, pp. 1-5 (1984).
- (30) J. Curry, G. Fitzgibbon, Y. Guan, R. Muollo, G. Nelson and A. Thomas: “New Failure Mechanisms in Sputtered Aluminum-Silicon Films”, *The 22nd Annual Proc. of International Reliability Physics Symp.*, pp. 6-8 (1984).
- (31) S.Mayumi, T.Umemoto, M.Shishino, H.Nanatsue, S.Ueda and M.Inoue: “The Effect of Cu Addition to Al-Si Interconnects on Stress Induced Open-Circuits Failures”, *The 25th Annual Proc. of International Reliability Physics Symp.*, pp.15-21 (1987).
- (32) 西久保、尾上、宮本、牧、松本: “Al薄膜配線のエレクトロ/ストレスマイグレーション故障”、第19回日科技連信頼性・保全性シンポジウム, p. 255 (1989).
- (33) E.T.Ogawa et al., " Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads " Proc. 2002 IEEE IRPS pp.312–321
- (34) A.V.Glasow et al., " The Influence of Te SiN Cap Process on The Electromigration and Stressvoiding Performance of Dual Damascene Cu Interconnects " Proc. 2003 IEEE IRPS pp.146–150
- (35) K.Y.Y.Doong et al., " Stress-induced Voiding and Its Geometry Dependency Characterization " Proc. 2003 IEEE IRPS pp.156–160
- (36) C.J.Zhai et al., " Stress Modeling of Cu/Low-k BEOL-Application to Stress Migration " Proc. 2004 IEEE IRPS pp.234–239
- (37) T.C.May, et al; "A new physical mechanism for soft errors in Dynamic RAMs," Proc. 1978 IEEE IRPS pp.33–40
-

#### 4. 半導体デバイスの故障メカニズム

---

- (38) S.Yamamoto et al., " Neutron-Induced Soft error in Logic Devices Using Quasi-Mono energetic Neutron Beam " Proc. 2004 IEEE IRPS pp.305–309
- (39) S.Okikawa, M.Sakimoto, M.Tanaka, T.Sato, T.Toya, Y.Hara,:" Stress Analysis of Passivation Film Crack for Plastic Molded LSI Caused by Thermal Stress", Proc. of ISTFA, p.275 (1983)
- (40) 田中政樹、尾崎浩、小山眞一郎、"LSIの耐温度サイクル性改善の歴史とそのデータが示す信頼性試験のあ  
るべき姿"、第31回日科技連信頼性・保全性シンポジウム報文集、2001年7月、pp.107–112
- (41) 平成14年度経済産業省重点分野研究開発委託費成果報告書、"基準認証研究開発事業高密度実装における  
新接合技術の信頼性評価方法の標準化"、電子情報技術産業協会、2003年5月、pp.76-99
- (42) Kolesar, S. C. : "Principle of Corrosion" , *The 12th Annual Proc. of International Reliability Physics Symp.*, pp. 155  
(1974).
- (43) 岩森、溝口、西岡、河津、大槻:"プラスチックモールドICの耐湿性へのバイアス印加条件の影響"、電子  
通信学会総会全国大会講演論文集、講演番号406、(1978).
- (44) 岩森、溝口、西岡、河津、大槻:"プラスチック封止ICの耐湿性評価と試験方法"、第8回日科技連信頼性・  
保全性シンポジウム、pp. 71 (1978).
- (45) W. M. Paulson and R. W. Kirk: "The Effects of Phosphorus-Doped Passivation Glass on the Corrosion of  
Aluminum" , *The 12th Annual Proc. of International Reliability Physics Symp.*, p. 172 (1974).
- (46) D. S. Peck and C. H. Zierdt: "Temperature-Humidity Acceleration of Metal-Electrolysis in Semiconductor Devices" ,  
*The 11th Annual Proc. of International Reliability Physics Symp.*, p. 146 (1973).
- (47) F. N. Sinnadurai:"The Accelerated Aging of Plastic Encapsulated Semiconductor Devices in Environment Containing  
A High Vapor Pressure of Water" , *Microelectronics and Reliability*, vol.13, p. 23 (1974).
- (48) N. Licoudes: "Practical Uses of Accelerated Testing" , *The 13th Annual Proc. of International Reliability Physics  
Symp.*, p. 257 (1975).
- (49) J. L. Flood: "Reliability Aspects of Plastic Encapsulated Integrated Circuits, *The 10th Annual Proc. Of International  
Reliability Physics Symp.*, p. 95 (1972).
- (50) 田中政樹、小路隆夫、木本良輔、川窪浩、石垣公久；"表面実装LSIのウェーブ・ソルダリングに対する耐  
熱性問題と新試験方法の検討"、RCJ第3回電子デバイス信頼性シンポジウム、pp.21–26、1993
- (51) 岡田幸二、小路隆夫、田中政樹；"表面実装LSIの熱ストレスから見たはんだ付け方法の体系化"、第26回  
日科技連信頼性・保全性シンポジウム報文集、pp.39–44、1996
- (52) 鈴木明、村上元、崎元正教；"半田付実装からみたフラットパッケージICの高信頼化"、第14回日科技連  
信頼性・保全性シンポジウム報文集、pp.303–306、1984
- (53) 田中政樹、崎元正教、西邦彦；"非破壊検査による面実装形パッケージのリフロー耐熱性評価法"、月刊  
Semiconductor World 1987 8月号、pp.90–96
- (54) 田中政樹、崎元正教、小西秀明、西邦彦、大塚憲一、吉田亨；"面実装形パッケージのリフロー耐熱性評  
価方法の検討"、第18回日科技連信頼性・保全性シンポジウム報文集、pp.165–172、1988
- (55) 西邦彦、安生一郎、尾形正次、北野誠、吉田亨；"面実装形パッケージのリフロー時クラックメカニズム  
の解析と対策"、第18回日科技連信頼性・保全性シンポジウム報文集、pp.173–178、1988

- (56) K. Kitano, A. Nishimura, S. Kawai, K. Nishi; "Analysis of Package Cracking During Reflow Soldering Process", Proc. 1988 IEEE IRPS, pp.90-95
- (57) Y. Orii, O. Suzuki, A. Nakanishi, K. Takahashi, R. Kimoto, T. Nishita, M. Tanaka, M. Sakimoto; "An Advanced Evaluation Method of Soldering Heat Resistance for Ultra Thin Plastic Encapsulated LSIs", 1991 ISTFA, pp.213-220
- (58) 田中政樹、崎元正教、石田大士、折井豊、西田隆文; "超薄型表面実装LSIのはんだ耐熱性評価方法の検討"、第22回日科技連信頼性・保全性シンポジウム報文集、pp.155-160、1992
- (59) 田中政樹、崎元正教、西邦彦、大塚憲一; "表面実装型LSIのハンダ付け、耐熱性の評価手法が確立" 日経エレクトロニクスNo.516、pp.143-165、1990
- (60) M.Tanaka, M.Sakimoto, S.Okikawa, T.Yoshida, M.Mutoh, Y.Oki, Y.Orii,;"A Novel Method of Evaluating Moisture Resistance of Soldered Plastic Encapsulated LSI by a New Ultrasonic Inspection System", Proc. of ISTFA, pp.173-177, 1986
- (61) 野中寿夫、沖川進; "超音波探査映像システムの開発"、電子情報通信学会R86-68、pp.31-36、1987
- (62) M. J. Middendorf, T. Hausken; "Observed Physical Effects and Failure Analysis of EOS/ESD on MOS Devices", 1984 ISTFA Proc., pp.205-213
- (63) D. C. Wunsch; "The Application of Electrical Overstress Models to Gate Protective Networks", IEEE 16th Annual Proceedings Reliability Physics April 1978 pp.47-55.
- (64) 村崎憲雄; "改訂版エレクトロニクス・システムの静電気障害対策資料集"、1982、(株)第一インターナショナル発行。
- (65) "半導体デバイスの静電気破壊現象とその評価方法に関する調査研究成果報告書"、日本電子部品信頼性センター、1985
- (66) D. C. Wunsch and R. R. bell; "Determination of Threshold Failure Levels of Semiconductor Diodes and Transistors due to Pulse Voltages", IEEE Trans. Nuclear Science Vol. NS-15 No.6 Dec 1968 pp.244-259
- (67) P. R. Bossard, R. G. Chemelli, B. A. Unger; "ESD Damage From Triboelectrically Charged IC Pins", 1980 EOS/ESD Symposium Proc., pp.17-22
- (68) B. A. Unger, "Electrostatic Discharge of Semiconductor Devices", IEEE 19th Annual Proceedings Reliability Physics pp.193-199 1981
- (69) M. Tanaka, H. Konishi and K. Ando; "A New Electrostatic Discharge Test Method for Charged Device Model", 1989 ISTFA Proc., pp.177-182
- (70) M. Tanaka, M. Sakimoto, I. Nishimae, K. Ando; "An Advanced ESD Test Method for Charged Device Model", EOS/ESD Symposium 1992, pp.76-87
- (71) M. Tanaka, K. Okada, M. Sakimoto; "Clarification of Ultra-high-speed Electrostatic Discharge & Unification of Discharge Model", EOS/ESD Symposium 1994, pp.170-181
- (72) 田中政樹、岡田幸二、崎元正教; "変位電流をとまなうLSIの静電破壊現象"、第3回RCJ EOS/ESDシンポジウム、pp.21-28、1993
- (73) 田中政樹; "デバイスの各静電破壊試験と実際の静電気放電現象の相関性についての考察"、第7回RCJ EOS/ESDシンポジウム、pp.163-170、1997

#### 4. 半導体デバイスの故障メカニズム

---

(74) 福田保裕、大槻紀雄；“ICパッケージに帯電した静電気がICを破壊”、日経エレクトロニクス、1984. 4.23